

AN14387

MCXW71 - 电源管理硬件

第1.0版—2024年9月10日

应用笔记

文档信息

信息	内容
关键字	AN14387、MCXW71、电源配置、电源域
摘要	本应用笔记介绍了MCXW71微控制器中专用于电源管理的不同模块的使用。



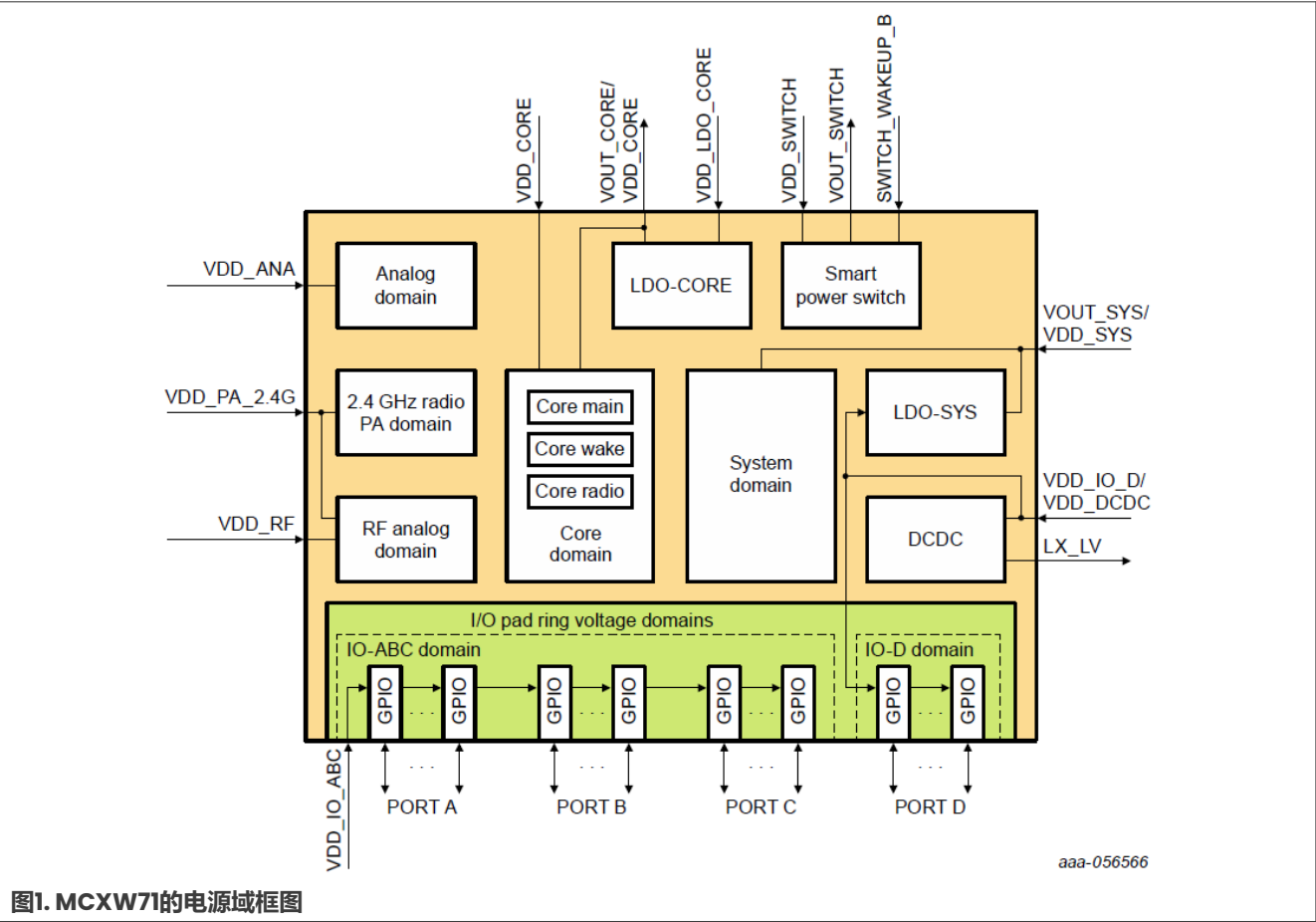
1 介绍

本应用笔记介绍了MCXW71微控制器中专用于电源管理的不同模块的用法。MCXW71集成了一个DC-DC降压转换器、数个低压差（LDO）稳压器和一个可编程固态开关，用于打开/关闭MCXW71的电源域。此外，MCXW71还集成了每组硬件专用的独立电源域。例如，复位硬件、GPIO和模拟元器件都有一个专用的电源域。它采用专用的电源管理硬件，而且每个电源域都有独立的电压的可能性带来了灵活性，可以满足无线应用中的大部分应用需求。

2 MCXW71中的电源域

MCXW71微控制器具有独立的电源域，其分组如下：

- VDD_SWITCH：表示灵巧电源开关（VBAT）的输入电压。该电源域为与VBAT相关的内部硬件供电。
- VDD_ANA：驱动此微控制器上的模拟外设，如模数转换器（ADC）和VREF稳压器。
- VDD_IO_ABC：驱动PTA、PTB和PTC引脚上的电压。
- VDD_IO_D/VDD_DCDC：驱动PTD引脚上的电压，包括复位系统。它还与DC-DC降压转换器及LDO_SYS稳压器的输入共享。
- VDD_SYS：管理某些片上外设的供电。[表1](#)列出了由该域供电的外设。
- VDD_CORE：内核电源域为主内核处理器及该芯片上的一些外设供电。该电源域分为内核主域、内核唤醒域和内核无线域，以实现独立的电源模式选择。该电源域的电压与该器件可以工作的最大时钟频率相关。[表1](#)列出了由该域供电的外设。
- VDD_RF：射频电源域提供电压来驱动该芯片中的无线模拟系统及32 MHz振荡器。
- VDD_PA_2.4G：驱动无线功率放大器的电压。VDD_PA_2.4G电压可由VDD_RF电源域从内部提供。



2.1 由各电源域供电的外设

表1所示为MCXW71的电源域及由每个电源域供电的片上外设。

表1. 外设电源域分配

电源域	电压供应	由该电源域供电的模块
模拟域	VDD_ANA VSS_ANA	ADC0 VREF0
内核主域	VDD_CORE_MAIN (内部连接到VDD_CORE脚)	CM33、DSP、FPU、MPU、NVIC、SYSTICK、TZM、DAP、DWT、ITM、TPIU、AXBS0、eDMA0、MSCM、SMSCM、PRBRIGDE2、TRGMUX、MRCC、SFA0、CACHE-CODE、FLASH、ROM、BOOT、CRC0、EdgeLock安全区域、TRDC0、LPIT0、TPM1、FlexCAN0、FlexIO0、LPI2C 1、I3C0、LPSPI1、LPUART1、GPIOB/C、SEMA42、PORTB/C、ADC0、VREF0、TCM-SYS
内核唤醒域	VDD_CORE_WAKE (内部连接到VDD_CORE脚)	SWD、CMC0、EWM0、WDOG0/1、FRO-6M、MRCC、SCG0、TSTMR0、TPM0、LPI2C0、LPUART0、LPSPI0、GPIOA、PORTA、LPCMP0/1
内核无线域	VDD_CORE_2.4G (内部连接到VDD_CORE脚)	RF-2.4G、NBU、RF-FMU、RF-FRO192M
IO-ABC域	VDD_IO_ABC	PORTA、PORTB、PORTC、LPCMP0/1

表1. 外设电源域分配（续）

电源域	电压供应	由该电源域供电的模块
IO-D域	VDD_IO_D	LDO-SYS、DC-DC、PORTD
灵巧电源开关域	VDD_SWITCH	电源开关、RAM LDO、FRO16K、电源开关控制器
系统域	VDD_SYS	RFMC0、低功耗蓝牙链路层（来自MBU）、WUU0、FRO192M、LPTMR0/1、SPC0、OSC-RTC、FRO32K、REGFILE0/1 - RTC、TAMPER、RTC0、GPIOD、PORTD
RF模拟域	VDD_RF	OSC-RF、RF-2.4G
2.4GHz无线PA域	VPA_2.4G	RF-PA-2.4G

MCXW71包含嵌入到芯片内的专用电源管理硬件。[表2](#)简要描述了此MCU上可用的稳压器。

表2. 片上稳压器描述

片上稳压器	电压供应	说明
DC-DC	VDD_DCDC	DC-DC可用于为LDO-SYS、I/O环、RF模拟和2.4 GHz无线功率放大器供电。它还可以为外部元器件供电。用户必须考虑到预期的总负载电流在任何情况下都不能超过最大DC-DC电流容量。DC-DC电流容量取决于DC-DC驱动模式。
LDO-CORE	VDD_LDO_CORE	LDO-CORE可用于为VDD_CORE域供电。它不适用于为外部负载供电。
LDO-SYS	VDD_IO_D	LDO-SYS可用于为VDD_SYS域供电。它不适用于为外部负载供电。

[表3](#)所示为每个片上稳压器支持的电压选项。

表3. 片上稳压器支持的电压

片上稳压器	电压选项
DC-DC	1.25V、1.35V、1.8V\2.5V ^[1]
LDO-CORE	1.05V、1.1V、1.15V
LDO-SYS	1.8V、2.5V ^[2]

[1] DC2.5V选项仅在DC-DC正常驱动强度模式下可用。
[2] 请勿在应用程序运行时启用LDO-SYS 2.5V选项。该选项仅用于烧录eFuse（电子熔丝）。

2.2 电源域的额定电压

[表4](#)所示为MCXW71 MCU中每个电源域的最高和最低DC电压要求。

表4. 电源域的额定电压

电源域	电压供应	最小值	最大值	单位
内核域	VDD_CORE： • 中等驱动（1.05V） • 正常驱动（1.1V） • 安全模式（1.15V）	1.0	1.1	V
		1.04	1.21	
		1.04	1.21	
系统域	VDD_SYS：	1.8	1.98	V

表4. 电源域的额定电压（续）

电源域	电压供应	最小值	最大值	单位
	• 正常模式 • 熔丝烧录	2.25	2.75	
IO-ABC域	VDD_IO_ABC	1.71	3.6	V
IO-D域	VDD_IO_D	1.86	3.6	V
灵巧电源开关域	VDD_SWITCH	1.8	3.6	V
RF模拟域	VDD_RF	1.175	3.6	V
2.4GHz无线PA域	VPA_2.4G	0.9	2.4	V
模拟域	VDD_ANA	1.71	3.6	V

3 MCXW71的电源配置

MCXW71微控制器具有多个独立的电源域，可支持多种电源配置。用户可根据应用需求，按照每个电源域所需的电压实现任意电源配置。有关MCXW71中每个电源域的DC电压要求的更多详细信息，请参阅[第2.2节](#)。

本节的目的是介绍最常见的电源配置、优点和注意事项。

3.1 MCXW71的旁路模式配置

本节介绍MCXW71的旁路模式配置，具体如下：

- MCXW71的旁路模式会禁用DC-DC，并将每个电源域直接连接到一个唯一的电源。
- 由于所需的外部元器件数量较少，因此该配置是成本最低的硬件实现方案。
- 但是，此配置不允许每个电源域具有独立的电压，因此它的功耗最高。
- 在这种配置下的建议如下：
 - 禁用DC-DC
 - 清零SPC->CNTRL[DCDC_EN]=0
 - 在设计中将DCDC_LX引脚（DC-DC输出引脚）悬空

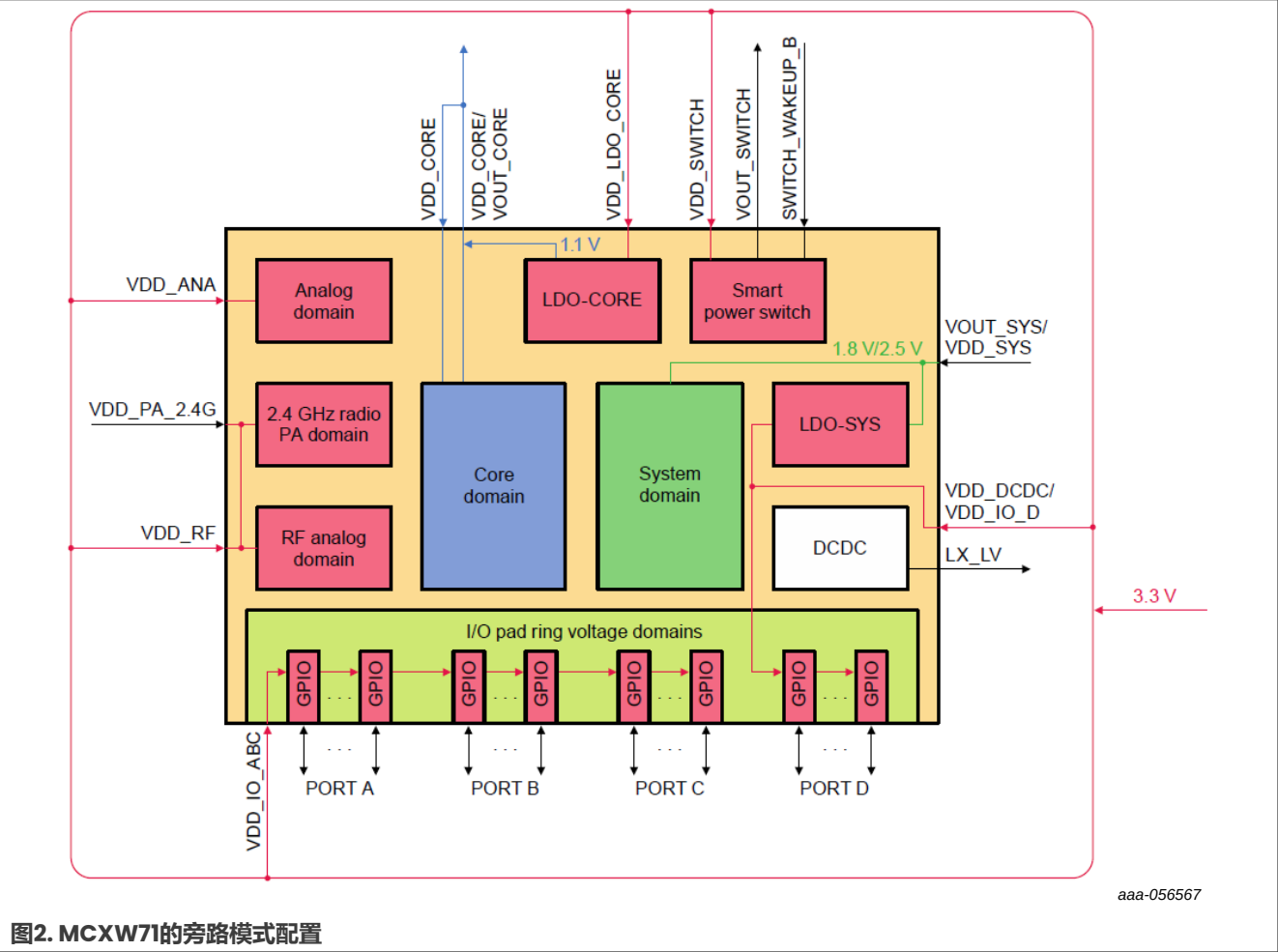


图2. MCXW71的旁路模式配置

3.2 MCXW71的DC-DC降压模式配置

本节介绍了MCXW71的DC-DC降压模式配置，具体如下：

- DC-DC降压模式配置在功耗和成本之间实现了最佳平衡。因此，这种模式是最常用的配置。
- 在DC-DC降压模式下，使用单一电源为包括DC-DC输入在内的多个电源域供电。
- DC-DC输出可以为RF域和LDO-CORE域提供不同的可配置电压。
- DC-DC输出旨在提供RF电源域所需的电压，以达到+10dBm的TX输出功率。
- 当RF域空闲时，还可以降低DC-DC输出电压作为一种节能机制。
- DC-DC还可用于为外部电路供电。

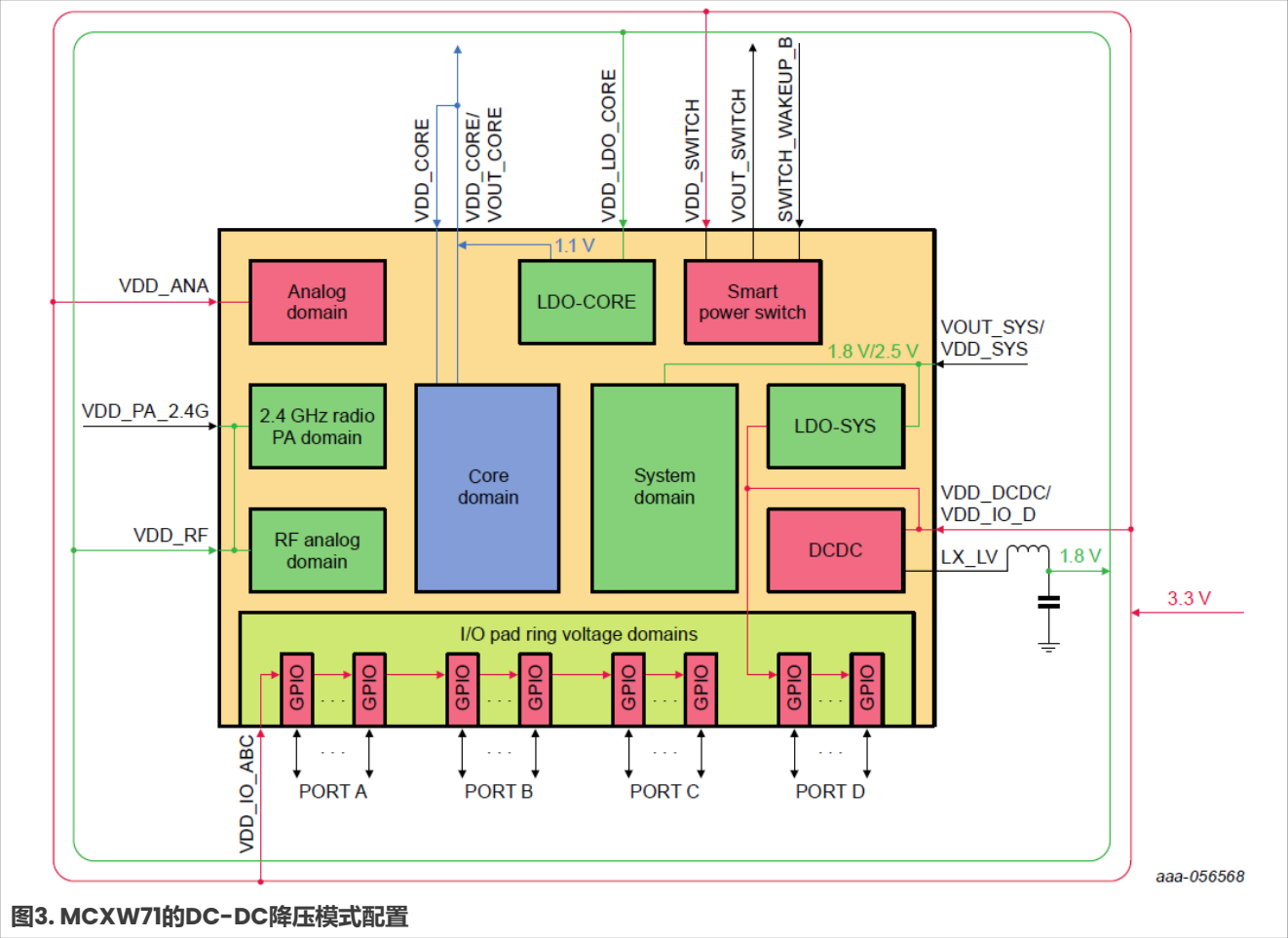


图3. MCXW71的DC-DC降压模式配置

3.3 MCXW71的PMIC模式配置

本节介绍了MCXW71的PMIC模式配置，具体如下：

- 此配置意在禁用片上稳压器，并通过电源管理集成电路（PMIC）将每个电源域直接连接到不同的电源。
- 此配置允许根据每个电源域的需求进行独立的电源控制，从而实现最优功耗。

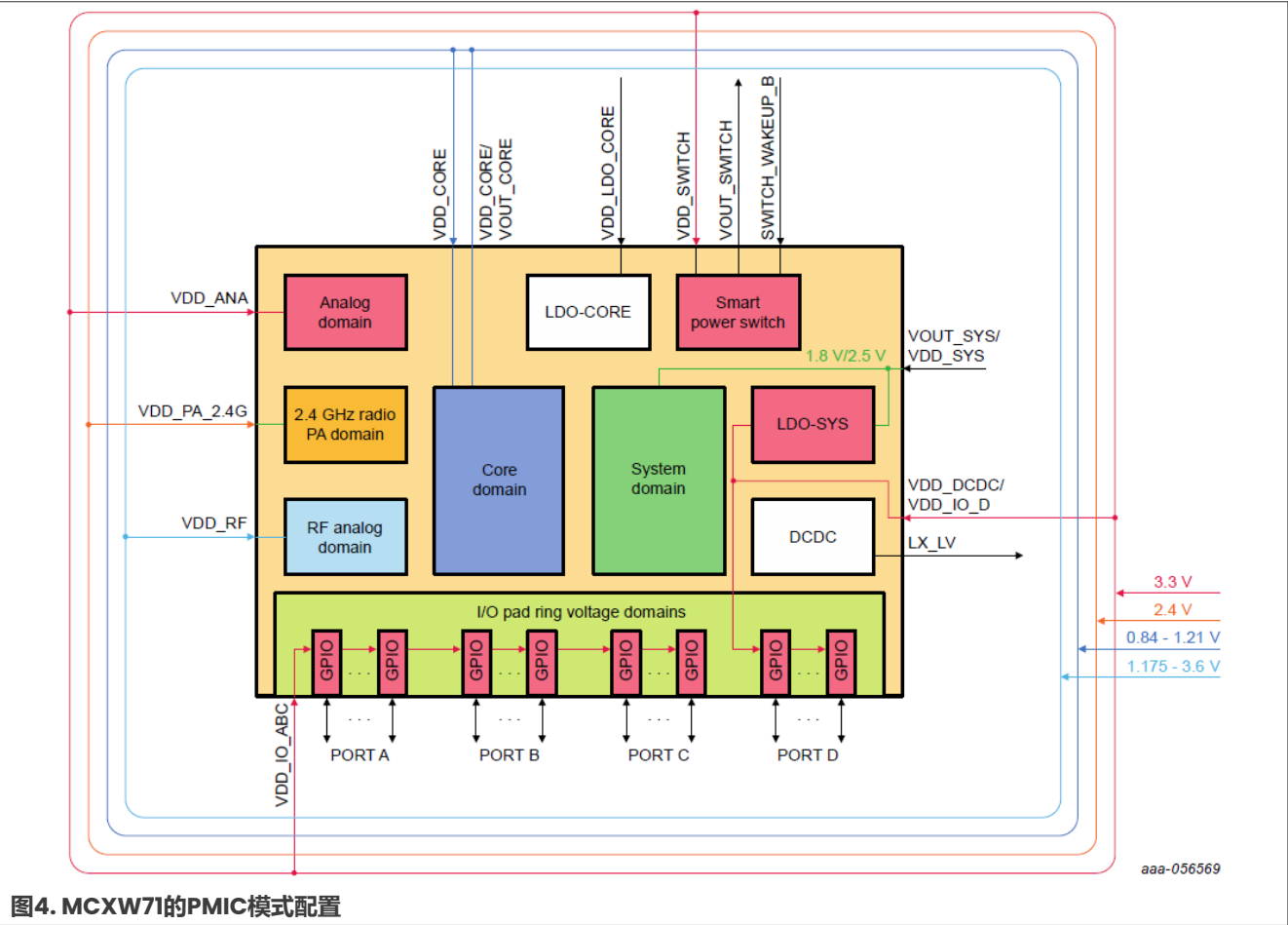


图4. MCXW71的PMIC模式配置

3.4 智能电源开关控制的MCXW71 DC-DC模式

本节介绍了以灵巧电源开关控制的MCXW71 DC-DC模式，具体如下：

- 灵巧电源开关（VBAT）是一个低电阻固态开关，与电源管理系统配合使用，以实现节能机制。
- 它提供了两个带隙定时器和一个LDO稳压器，专用于在MCU的其余部分关闭时只为保持SRAM供电。
- 灵巧电源开关可用于关闭整个MCU或某些特定的电源域，以实现最优化的功耗。
- 它也可以用于以低压差电压打开/关闭外部电路。
- 在此模式下，灵巧电源开关域（VDD_SWITCH）是唯一需要永久供电的电压域。
- 软件可以禁用灵巧电源开关，并通过任意一个VBAT带隙定时器或SWITCH_WAKEUP_B引脚的下降沿来启用它。

图5所示为采用灵巧电源开关的配置，具体如下：

- 外部3.3V电源为灵巧电源开关供电。
- 其输出连接到DC-DC、LDO-SYS、VDD_ANA、VDD_IO_D和VDD_IO_ABC。
- DC-DC输出连接到LDO-CORE和VDD_RF。

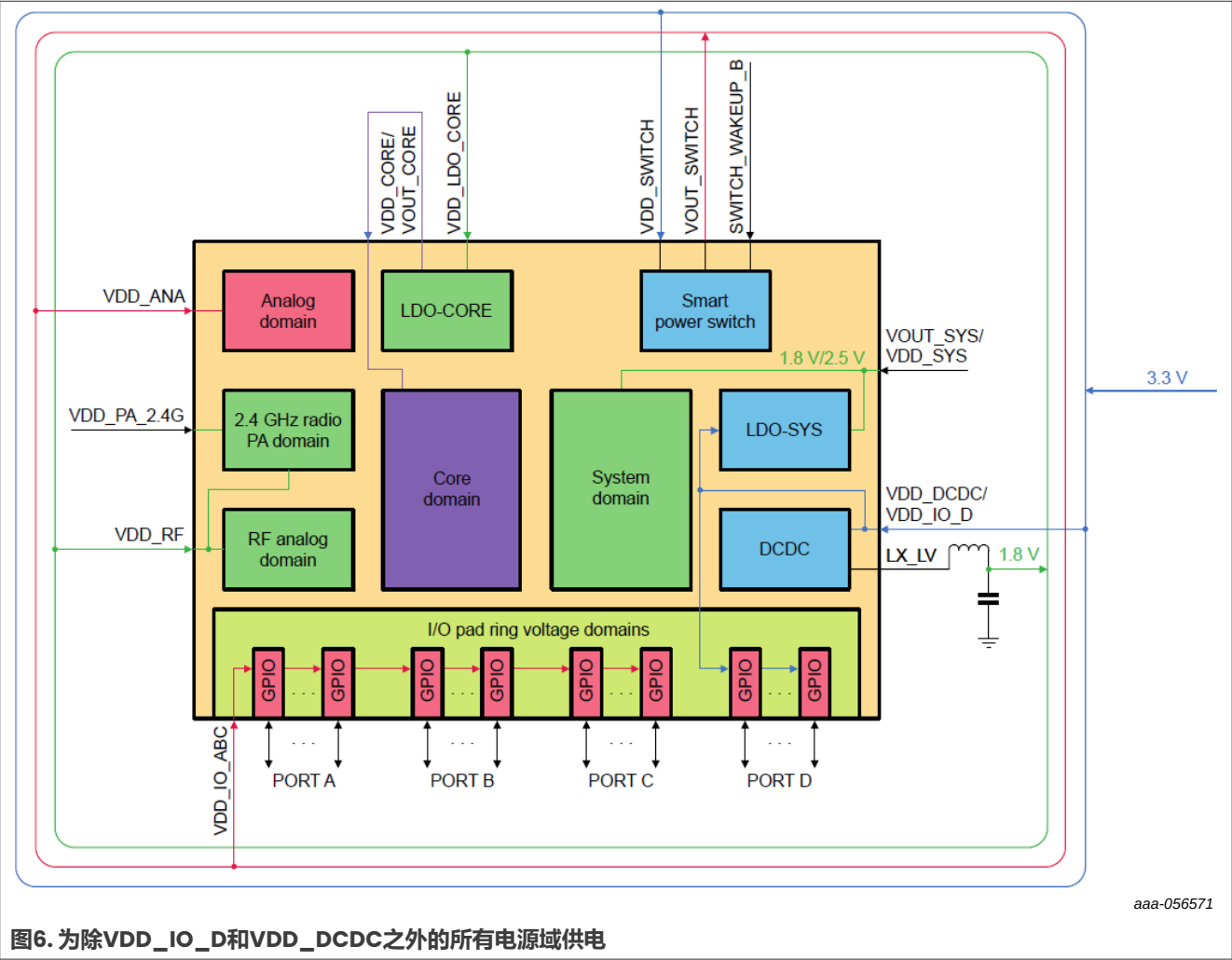


图6. 为除VDD_IO_D和VDD_DCDC之外的所有电源域供电

4 DC-DC降压转换器

本节介绍了DC-DC降压转换器的特性、功能和操作。

4.1 启用和禁用DC-DC降压转换器

根据应用配置和要求，可以启用和禁用DC-DC降压转换器。SPC稳压器控制寄存器（CNTRL）可以通过写入 `SPC -> CNTRL[DCDC_EN] = 0`，来启用或禁用DC-DC片上转换器。默认情况下，DC-DC是启用的。然而，如果设计将DC-DC旁路，则需要清零此位以禁用DC-DC转换器并防止漏电流。

4.1.1 DC-DC的时序特性

图7所示为DC-DC的启动时间：

- MCXW71已采用DC-DC降压模式连接，且未添加外部负载。
- DC-DC输入和输出电压分别为`DCDC_IN = 3.3V`和`DCDC_OUT = 1.8V`。
- DC-DC配置为正常驱动强度模式。
- 在本图中，黄色曲线代表`DCDC_OUT`，蓝色曲线代表`DCDC_IN`。

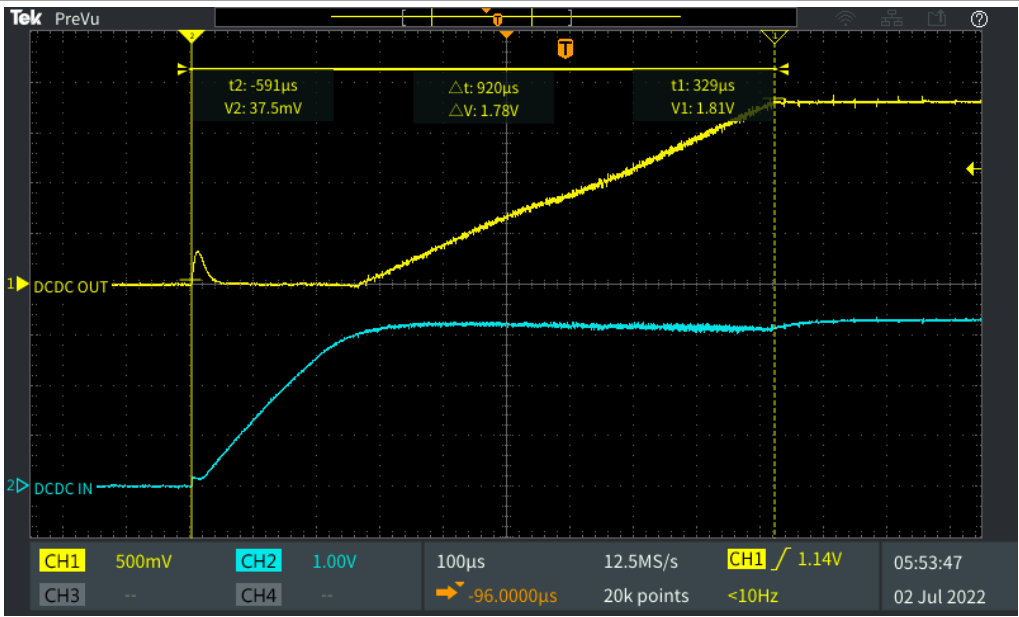


图7. DC-DC的启动时间

图8所示为从配置电压的100%下降到10%时的DC-DC关闭时间：

- MCXW71以DC-DC降压模式连接，且未添加外部负载。
- DC-DC输入和输出电压分别为DCDC_IN = 3.3V和DCDC_OUT = 1.8V。
- DC-DC配置为正常驱动强度模式。
- 在本图中，黄色曲线代表DCDC_OUT，蓝色曲线代表DCDC_IN。

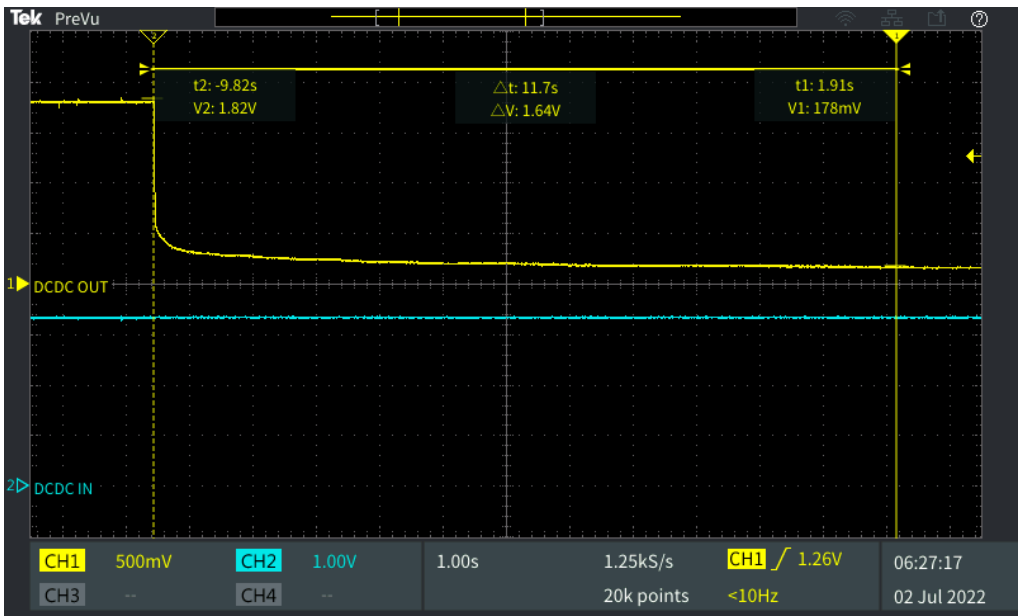


图8. DC-DC关闭时间

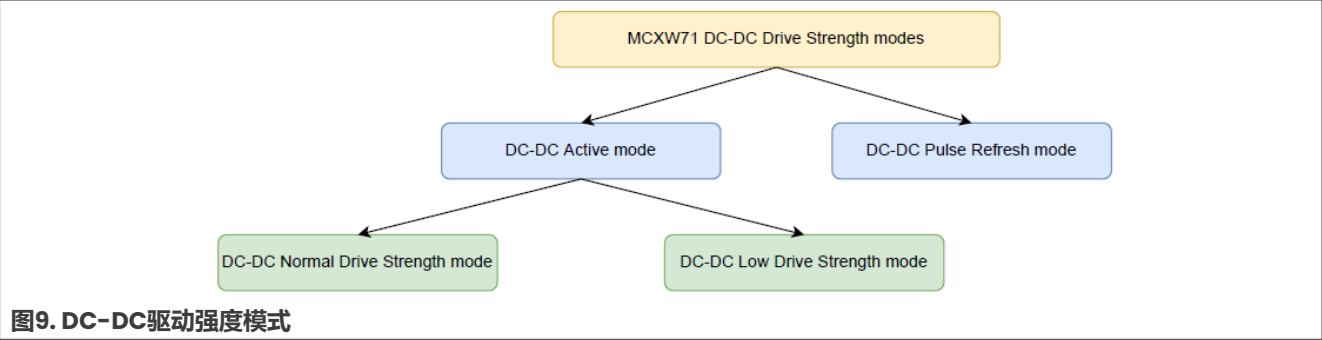
4.2 DC-DC驱动强度模式

DC-DC可在两种不同的驱动模式下运行：

- 活动模式
- 脉冲刷新模式

有关软件启用的更多详细信息请参见[第7节](#)。

[图9](#)所示为DC-DC驱动强度模式。



4.2.1 DC-DC活动模式

在活动模式下运行时，DC-DC会基于内部模拟比较器监控系统定期发出脉冲串，将输出电压保持在配置的稳压电压。只要DC-DC负载电流限制在最大规格内，这种控制机制就能始终确保设定的稳压电压。当DC-DC在活动模式下运行时，它可以在两种不同的稳压器驱动强度模式下工作：正常驱动强度和低驱动强度。使用不同的驱动强度模式，就可以控制DC-DC输出驱动器管理的静态电流。因此，DC-DC的最大输出电流、瞬态响应和效率会发生变化，具体如下：

- **正常驱动强度模式：**DC-DC以最高的DC-DC效率提供最大的输出电流能力。此配置可提供最快的瞬态响应。然而，工作点上较高的静态电流会导致DC-DC功耗增加。
- **低驱动强度模式：**DC-DC提供有限的输出电流容量和较低的DC-DC效率。这种模式下的瞬态响应速度比正常驱动强度模式慢。然而，由于静态电流较低，此配置可降低DC-DC模块的整体功耗。

选择驱动强度模式时必须考虑应用所需的最大电流和瞬态响应要求。如果DC-DC驱动模式操作在应用中并不是特别重要，或者应用行为难以预测，请将这些设置保留为默认配置，即采用DC-DC活动模式和正常驱动强度模式。然而，如果应用需要优化进入和退出低功耗模式时的功耗，则应考虑设置DC-DC低驱动强度模式。另一种选择是在MCU活动模式下使用DC-DC正常驱动强度，而在低功耗模式下使用DC-DC低驱动强度模式。

4.2.2 DC-DC脉冲刷新模式

当DC-DC启用并以脉冲刷新模式运行时，DC-DC会根据嵌入在系统电源控制（SPC）中的编程定时器定期发出一个脉冲串。在此模式下，模拟比较器监控系统被禁用。因此，当DC-DC输出电压低于配置的稳压电压时，DC-DC不会发出脉冲以重新加载输出。此时，SPC可编程定时器周期完全控制DC-DC刷新脉冲。在此模式下，DC-DC在完成上一次DC-DC升压后关闭，并在下一次定时器超时后打开以重新加载输出。

SPC -> DCDC_BURST_CFG [PULSE_REFRESH_COUNT]位字段控制根据CCM32K模块 (f_{CCM32K}) 提供的参考时钟来控制DC-DC的脉冲开关频率。

SPC → DCDC_BURST_CFG[PULSE_REFRESH_COUNT] 位字段是一个16位计数器值，在DC-DC配置为脉冲刷新模式时控制DC-DC刷新的频率。

[公式1](#)用于计算脉冲刷新模式下的DC-DC刷新频率 (f_{DCDC_RFSH})：

$$T_{DCDC_RFSH} = \frac{1}{f_{CCM32K}} \times (PULSE_REFRESH_COUNT + 2) \quad (1)$$

4.2.2.1 DC-DC脉冲刷新模式的工作条件

要使DC-DC以脉冲刷新模式运行，必须满足以下条件：

1. 在MCU进入睡眠状态之前，软件必须配置DC-DC脉冲刷新模式。然而，DC-DC只有在满足以下条件时才会进入脉冲刷新模式：
 - 所有电源域都已请求进入低功耗模式
 - SPC已进入低功耗状态
 - MCU已成功进入睡眠状态
 在唤醒时，DC-DC会返回到DC-DC活动模式。
2. DC-DC脉冲刷新模式不用于为外部负载供电，而仅为MCU本身供电。在DC-DC脉冲刷新模式下根据PULSE_REFRESH_CNT计数器值定期启用DC-DC，以重新加载DC-DC输出电容。在其余时间，DC-DC一直保持在禁用状态。应用程序必须配置PULSE_REFRESH_CNT刷新率，以管理DC-DC电容上的电压降并避免出现欠压。当DC-DC处于脉冲刷新模式时，外部负载可能导致DC-DC输出电压的下降速度快于下一个DC-DC重新加载周期。这种情况会导致器件处于欠压状态。因此，只有在MCU电源域是连接到DC-DC上的唯一负载时，才建议使用此模式。如果在MCU进入深度掉电模式时DC-DC还为外部负载供电，并且需要较低的DC-DC功耗时，则应使用DC-DC低驱动强度模式，而不是DC-DC脉冲刷新模式。
3. DC-DC脉冲刷新模式必须在MCU进入低功耗模式时启用CCM32K时钟输出，以根据PULSE_REFRESH_COUNT生成周期性的PWM脉冲群。CCM32K外设可以从外部32kHz晶振或内部FRO32K生成时钟输出。如果应用需要禁用32kHz晶振引脚作为进入睡眠状态的一个步骤，并且将DC-DC配置为脉冲刷新模式，请确保在进入低功耗模式之前启用了FRO32K并选择它作为主源来生成CCM32K时钟。

4.3 DC-DC的频率稳定功能

DC-DC的频率稳定功能可改善由于DC-DC输入端的电压瞬变，或DC-DC输出端的动态负载引起的开关频率变化。该功能可以调整突发脉冲的中心开关频率。因此，可以考虑将其用于对特定频域敏感且可能受到DC-DC开关谐波干扰的应用。启用频率稳定功能，可降低DC-DC输入重载电流。然而，DC-DC可以驱动的最大输出电流会显著降低。

如果DC-DC不会遇到显著的瞬变或剧烈的负载变化，请使该功能保持禁用状态（默认情况下DC-DC频率稳定功能是禁用的）。相反，如果应用需要严格控制DC-DC的频谱成分以避免干扰其他系统，或如果您必须使用纽扣电池供电而此时DC-DC电流峰值会直接影响电池寿命，则可以尝试使用此功能，同时应考虑到DC-DC的输出电流能力将会降低。

写入SPC → DCDC_CFG[FREQ_CNTRL_ON]位字段可启用/禁用DC-DC频率稳定功能。当启用频率稳定功能后，可以通过SPC → DCDC_CFG[FREQ_CNTRL] 6位修整值来调整DC-DC开关频率。DC-DC频率稳定功能仅适用于DC-DC活动模式。

4.4 DC-DC突发同步

可以通过应用控制和监测DC-DC突发。与连续DC-DC突发之间的静默周期保持同步对于对噪声敏感的应用很重要，例如在高分辨率ADC测量期间。为此，DC-DC和SPC提供了DCDC_BURST_TRIG_PULSE信号，以将DC-DC突发活动与器件中的其他外设同步。当DC-DC突发完成且DC-DC进入静默周期时，该信号被触发。此信号可以触发ADC。要激活此信号，需要将SPC -> DCDC_BURST_CFG[EXT_BURST_EN] 设置为1。它可作为TRGMUX外设中的触发源，且可配置用于触发某些片上外设。有关更多详细信息，请参阅《MCXW71参考手册》。

应用程序可以请求启动DC-DC突发。为此，SPC -> DCDC_BURST_CFG[BURST_ACK]最初必须等于'0'。然后，软件可以通过将SPC -> DCDC_BURST_CFG[BURST_REQ]设置为1来请求突发。当突发完成且DC-DC进入静默周期时，DC-DC和SPC硬件将SPC -> DCDC_BURST_CFG[BURST_ACK]设置为1。最后，软件必须通过将'1'逻辑写入SPC -> DCDC_BURST_CFG[BURST_ACK]位来清除突发确认标志。

对于高分辨率ADC转换，可以配置DCDC_BURST_TRIG_PULSE信号以触发ADC转换，然后通过软件启动DC-DC突发。在当前DC-DC突发完成后，ADC转换在DC-DC静默周期内触发，以获得最佳的ADC转换结果。

4.5 DC-DC在不同电源模式下的操作

SPC外设可以控制DC-DC的工作模式。SPC有两个配置寄存器：

- SPC活动电源模式配置寄存器 (ACTIVE_CFG)
- SPC低功耗模式配置寄存器 (LP_CFG)

这些寄存器用于当MCXW71进入低功耗模式时，对DC-DC进行独立设置。

ACTIVE_CFG和LP_CFG寄存器可以配置DC-DC的电压和驱动强度模式。因此，在器件进入和退出低功耗时，可以自动以不同的方式配置DC-DC。通过为活动模式和低功耗模式提供独立的配置，就可以通过软件实现节能机制。例如，在器件进入睡眠状态时，可以通过在LP_CFG寄存器中配置适当的设置来降低DC-DC电压并设置DC-DC低驱动强度模式。然后在唤醒时，通过ACTIVE_CFG中的编程设置将DC-DC恢复到更高的电压和正常驱动模式。虽然前面的示例演示的是大多数应用的预期操作，但如果应用需要，也可在低功耗模式下将DC-DC设置为比活动模式更高的电压。

[表5](#)列出了每种MCXW71电源模式下允许的DC-DC工作模式。

表5. DC-DC操作模式

模块	活动模式	睡眠模式	深度睡眠模式	掉电模式	深度掉电模式
DC-DC降压转换器	正常或低驱动强度模式，由SPC ACTIVE_CFG寄存器控制	正常或低驱动强度模式，由SPC LP_CFG寄存器控制	• 正常、低驱动强度或刷新模式，由SPC LP_CFG控制 • 关闭（可选）	• 正常、低驱动强度或脉冲刷新模式，由SPC LP_CFG控制 • 关闭（可选）	关闭

DC-DC正常驱动强度模式适用于除深度掉电模式之外的所有电源模式。DC-DC低驱动强度模式也适用于除深度掉电模式之外的所有电源模式。DC-DC脉冲刷新模式仅在深度睡眠和掉电模式下可用。如果应用需要在深度睡眠和掉电模式下禁用DC-DC，只要DC-DC不为唤醒所需的电源域供电即可禁用。当器件进入深度掉电模式时，会自动强制进入DC-DC关闭状态。DCDC_OUT = 2.5V选项仅在DC-DC正常驱动强度模式下可用。其余电压选项在所有驱动强度模式下均可用。要在MCU处于活动模式时将DC-DC配置为低驱动强度模式，应用程序必须在ACTIVE_CFG和LP_CFG寄存器中设置相同的DC-DC输出电压。在将DC-DC配置为脉冲刷新模式之前，必须禁用LP_CFG寄存器中的HVD/LVD。

对DC-DC驱动强度或电压电平的任何更改都会导致SPC -> SC[BUSY]标志被置为1逻辑电平，直至SPC完成将状态更改为新值。因此，软件必须检查此状态位，并等待该位清零，以确保SPC已完成驱动强度或电压转换。

4.6 DC-DC的主配置寄存器

本节总结了在MCWX71 MCU中配置DC-DC降压转换器时涉及的主要SPC寄存器。表6列出了配置DC-DC运行方式的SPC寄存器。有关外设的完整介绍，请参见《MCXW71参考手册》。

SPC0的基址为4001_6000h

表6. DC-DC的主要配置寄存器

偏移量	寄存器	宽度 (位)	访问类型	复位值
14h	SPC稳压器控制寄存器 (CNTRL) 此寄存器控制SPC稳压器的启用。	32	WONCE	0000_0007h
100h	活动电源模式配置寄存器 (ACTIVE_CFG) 此寄存器控制SPC稳压器在活动模式下的设置。	32	RW	3F10_0E15h
104h	低功耗模式配置寄存器 (LP_CFG) 此寄存器控制SPC稳压器在低功耗模式下的设置。	32	RW	0002_1D04h
500h	DC-DC配置寄存器 (DCDC_CFG) 此寄存器配置频率稳定位字段。	32	RW	0000_0000h
504h	DC-DC突发配置寄存器 (DCDC_BURST_CFG) 此寄存器配置DC-DC突发控制位字段。	32	RW	0140_0000h

4.6.1 SPC稳压器控制寄存器 (CNTRL)

CNTRL[DCDC_EN]：该位段控制DC-DC处于开启 (DCDC_EN = 1) 还是关闭 (DCDC_EN = 0) 状态。DC-DC默认是开启的。在禁用DC-DC之前，确保由此电源域供电的电源域可以被禁用。如果DC-DC已被旁路，则通过写入 (DCDC_EN = 0) 来禁用DC-DC。

4.6.2 活动电源模式配置寄存器 (ACTIVE_CFG)

- ACTIVE_CFG[DCDC_VDD_LVL]：该位段控制SPC处于活动模式时的DC-DC输出电压。DCDC_OUT = 2.5V仅适用于DC-DC正常驱动强度。要将DCDC_OUT设置为2.5V，需要将DCDC_CFG[VOUT2P5_SEL]设置为1。对于其余电压选项，VOUT2P5_SEL位必须为0。

表7. DC-DC VDD稳压器电平

DCDC_VDD_LVL	VOUT2P5_SEL	DC-DC电压
00b	0b	1.25V
01b	0b	1.35V
10b	1b	2.5V
11b	0b	1.8V

- **ACTIVE_CFG[DCDC_VDD_DS]**: 该位段控制SPC处于活动模式时的DC-DC驱动强度模式。SPC处于活动模式时的有效驱动强度模式包括DC-DC正常驱动强度和DC-DC低驱动强度。DC-DC脉冲刷新模式不适用于SPC活动模式。

表8. DC-DC VDD稳压器驱动强度

DCDC_VDD_DS	DC-DC驱动模式
00b	保留
01b	设置为低驱动强度
10b	设置为正常驱动强度
11b	保留

4.6.3 低功耗模式配置寄存器 (LP_CFG)

- **LP_CFG[DCDC_VDD_LVL]**: 该位段控制SPC处于低功耗模式时的DC-DC输出电压。DCDC_OUT = 2.5V 仅适用于DC-DC正常驱动强度。要将DCDC_OUT设置为2.5V，需要将DCDC_CFG[VOUT2P5_SEL]设置为1。对于其余电压选项，VOUT2P5_SEL位必须为0。

表9. DC-DC VDD稳压器电平

DCDC_VDD_LVL	VOUT2P5_SEL	DC-DC电压
00b	0b	1.25V
01b	0b	1.35V
10b	1b	2.5V
11b	0b	1.8V

- **LP_CFG[DCDC_VDD_DS]**: 该位段控制SPC处于低功耗模式时的DC-DC驱动强度模式。

表10. DC-DC VDD稳压器驱动强度

DCDC_VDD_DS	DC-DC驱动模式
00b	设置为脉冲刷新模式
01b	设置为低驱动强度模式
10b	设置为正常驱动强度模式
11b	保留

4.6.4 DC-DC配置寄存器 (DCDC_CFG)

- **DCDC_CFG[VOUT2P5_SEL]**: 如果所需的DC-DC输出为2.5V (DCDC_VDD_LVL = 10b) , 则此位段必须保持启用 (VOUT2P5_SEL = 1) 状态。否则必须禁用此位 (VOUT2P5_SEL = 0) 。如果VOUT2P5_SEL = 1 并且DCDC_VDD_LVL不是10b (选择的DC-DC输出电压不是2.5V) , 则DC-DC输出电压是不可预测的。因此, 只有当输出电压为2.5V时才必须启用此位。如果输出电压必须从2.5V变为其他电压电平, 则必须清除此位 (VOUT2P5_SEL = 0) 。2.5V选项仅在DC-DC正常驱动强度模式下可用。在DC-DC以2.5V的电压在DC-DC正常驱动强度模式下运行时, 如果必须更改DC-DC驱动强度模式, 请确保将DC-DC输出电压更新为任何其他允许的电压并清除此位。
- **DCDC_CFG[FREQ_CNTRL_ON]**: 此位段启用/禁用DC-DC的频率稳定功能。频率稳定功能在FREQ_CNTRL_ON等于1时启用, 在FREQ_CNTRL_ON等于0时禁用。启用后, 可以通过FREQ_CNTRL位段从中心频率调整DC-DC突发频率。
- **DCDC_CFG[FREQ_CNTRL]**: 此位字段代表启用频率稳定功能 (即FREQ_CNTRL_ON = 1) 时DC-DC突发频率的6位修整值。当FREQ_CNTRL_ON = 0时, 忽略FREQ_CNTRL修整值。

4.6.5 DC-DC突发配置寄存器 (DCDC_BURST_CFG)

- **DCDC_BURST_CFG[PULSE_REFRESH_CNT]**: 此位段是16位乘数值, 根据CCM32K输出频率确定DC-DC处于脉冲刷新模式时的DC-DC突发的发生。更多详细信息请参见[第4.2.2节](#)。
- **DCDC_BURST_CFG[BURST_ACK]**: 此位段是一个指示标志, 当软件请求的上一次DC-DC突发成功完成时设置为1。每次在软件请求的突发完成时, 必须通过写入BURST_ACK = 1来清除此位。
- **DCDC_BURST_CFG[EXT_BURST_EN]**: 此位启用/禁用内部DCDC_BURST_TRIG_PULSE信号; 当DC-DC进入静默期时, 该信号用于通过TRGMUX触发某些外设。EXT_BURST_EN = 1启用此触发信号, EXT_BURST_EN = 0禁用此触发信号。此位必须在BURST_ACK = 0时, 并在写入BURST_REQ = 1以请求DC-DC突发之前写入。
- **DCDC_BURST_CFG[BURST_REQ]**: 写入BURST_REQ = 1以发起突发请求。在上一个突发请求完成并得到确认 (清除BURST_ACK标志) 之前, 不要发起新的突发请求。

4.7 DC-DC的电气特性

本章介绍了DC-DC的电气特性。

4.7.1 DC-DC转换器的规格

[表11](#)总结了DC-DC转换器的规格。

表11: DC-DC转换器的规格

符号	说明	最小值	典型值	最大值	单位	备注
V_DCDC_IN	DC-DC输入电压	1.71	-	3.6	V	1, 2
V_DCDC_OUT	DC-DC输出电压	1.25	-	2.5	V	1, 2
V_DCDC_RIPPLE	DC-DC输出端的纹波电压: • 正常驱动强度模式 • 低驱动强度模式	- -	1 25	- -	% mV	3 -
I_DCDC_LOAD	DC-DC输出端的负载电流: • 正常驱动强度模式	- -	- -	105 15	mA	1, 4

表11: DC-DC转换器的规格 (续)

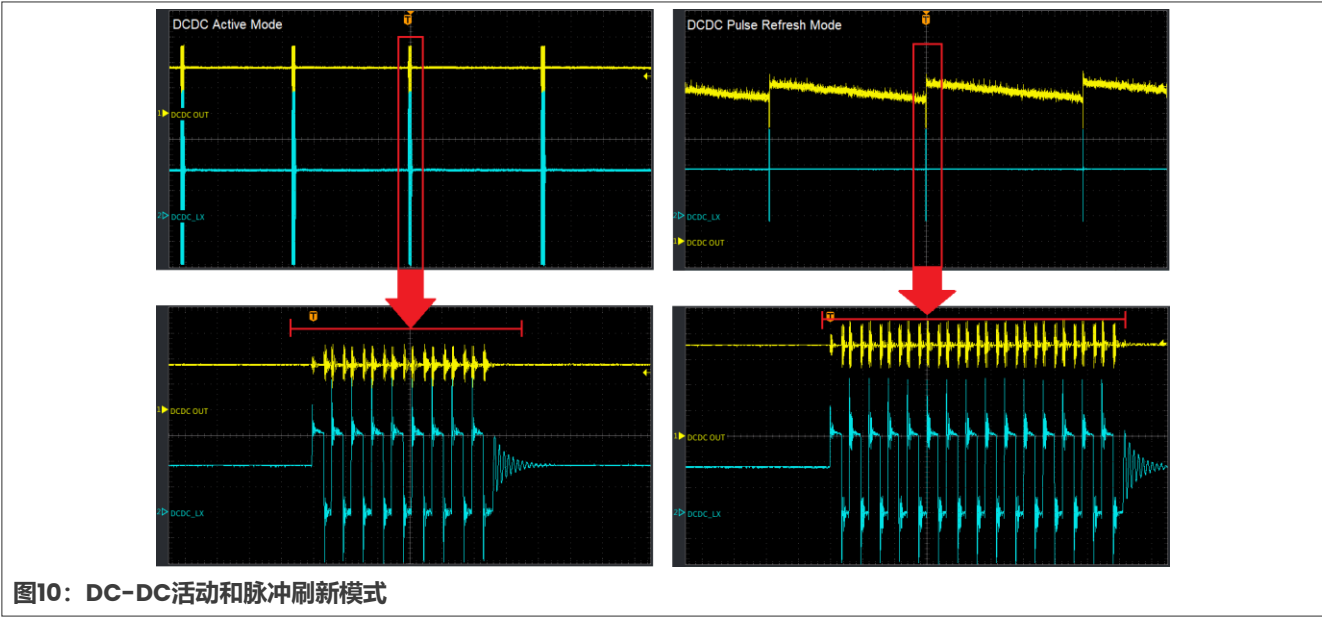
符号	说明	最小值	典型值	最大值	单位	备注
	- 低驱动强度模式 - 频率稳定功能开启 [FREQ_CNTRL_ON = 1]	-	-	45		
LX	DC-DC输出电感值	0.47	1	2.2	μH	5
ESR	DC-DC电感等效串联电阻	-	110	-	mΩ	6
COUT	DC-DC输出电容	6	22	30	μF	7
F_Burst	DC-DC重载突发频率	3	5	8	MHz	8
F_Burst_Accuracy	DC-DC重载突发频率精度	-	10	-	%	8

注:

- DC-DC转换器默认在DCDC_LX端生成1.8V的电压。只要不超过最大ILOAD，DC-DC可用于为VDD_RF、VDD_LDO_CORE和外部元器件供电。
- DC-DC的VDD_DCDC输入电源必须比DCDC_LX端所需的输出至少高500mV。
- DC纹波以与设定的DC-DC输出电压的百分比来显示。
- 启动期间的最大负载电流不得超过60mA。
- 推荐的电感值为1μH到1.5μH。如果电感值 < 1μH，则不能保证DC-DC的效率。
- 推荐的最大ESR为250mΩ（非硬性限制）。
- 由于老化、温度和电压下降引起的DCDC_LX端电容器的电容变化不得超过最大/最小值。
- FREQ_CNTRL_ON = 1。

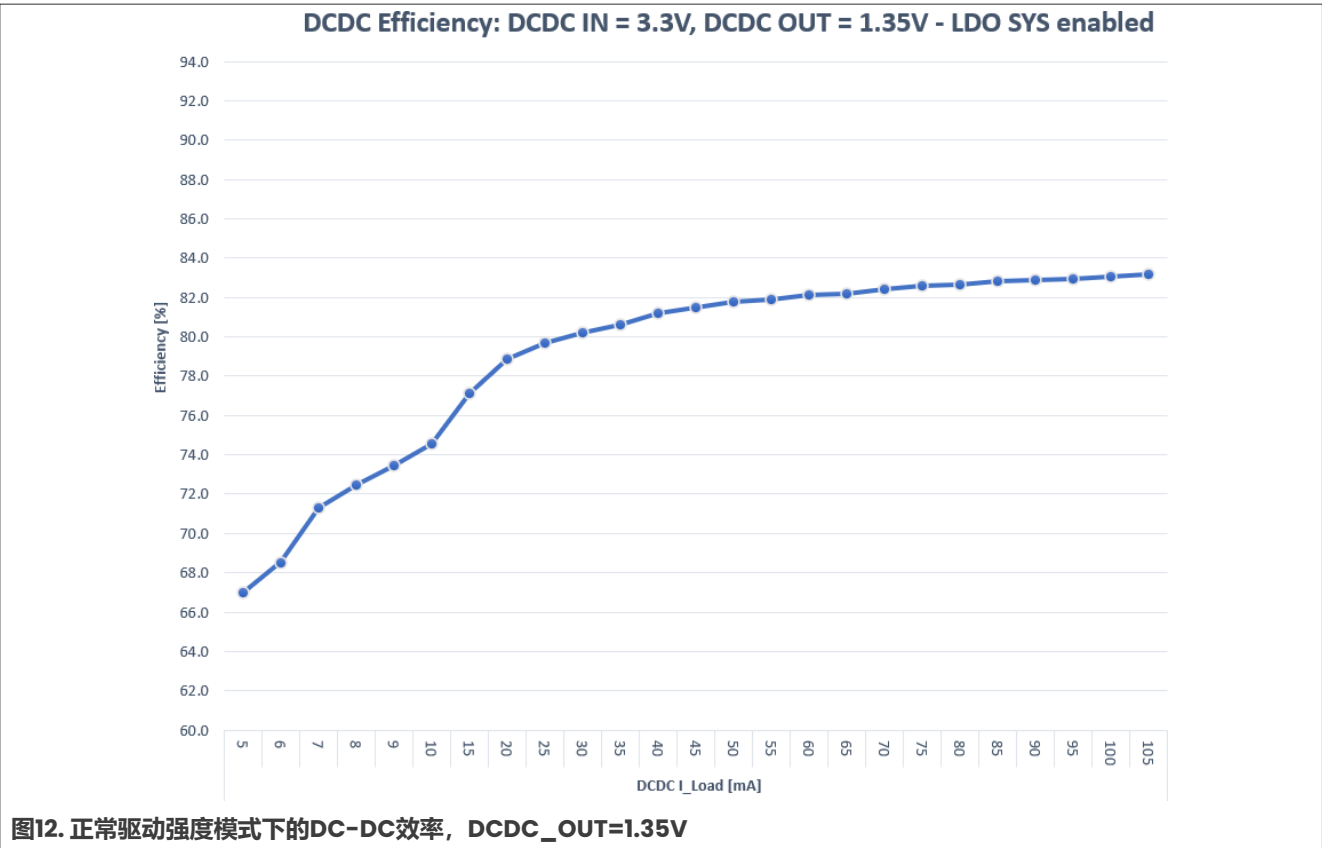
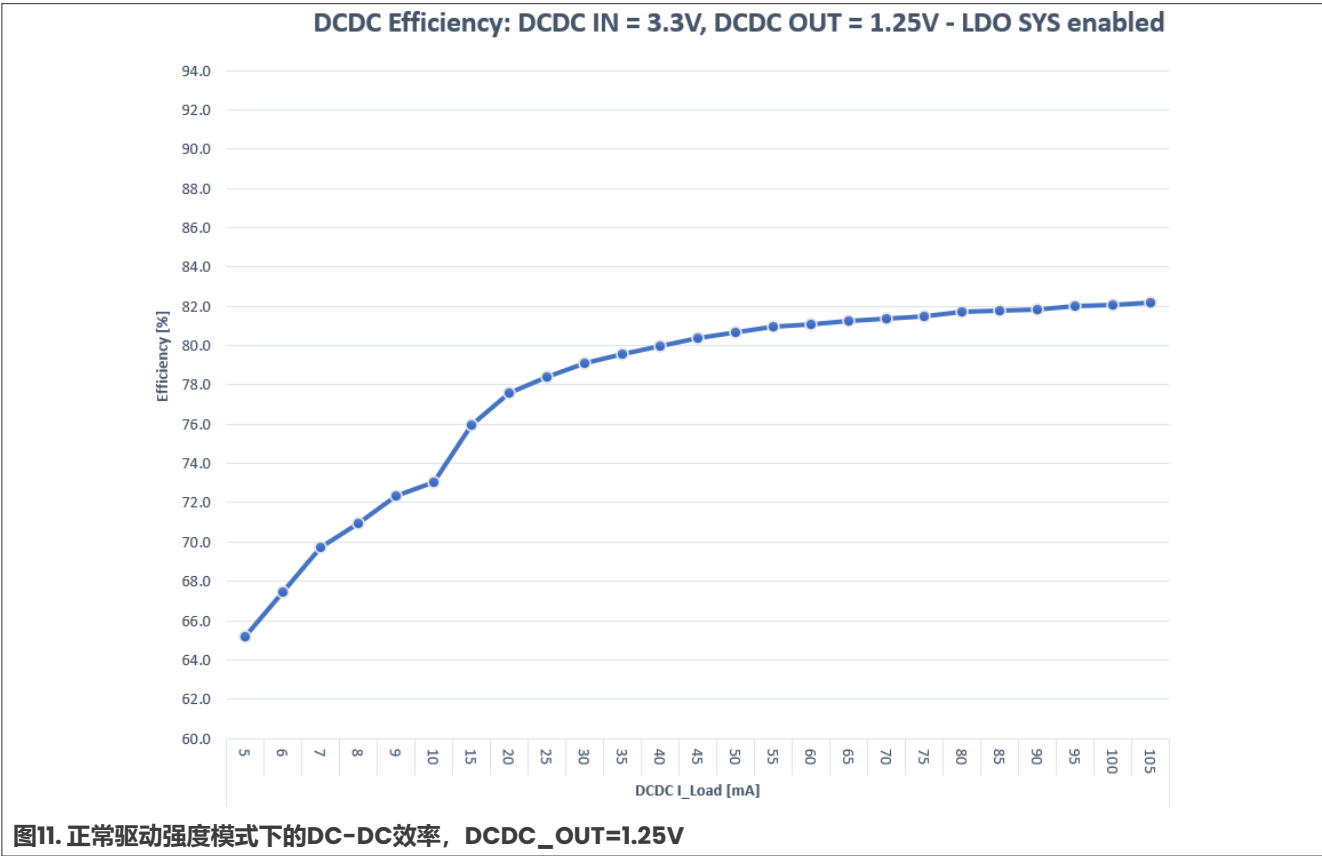
4.7.2 DC-DC输出波形

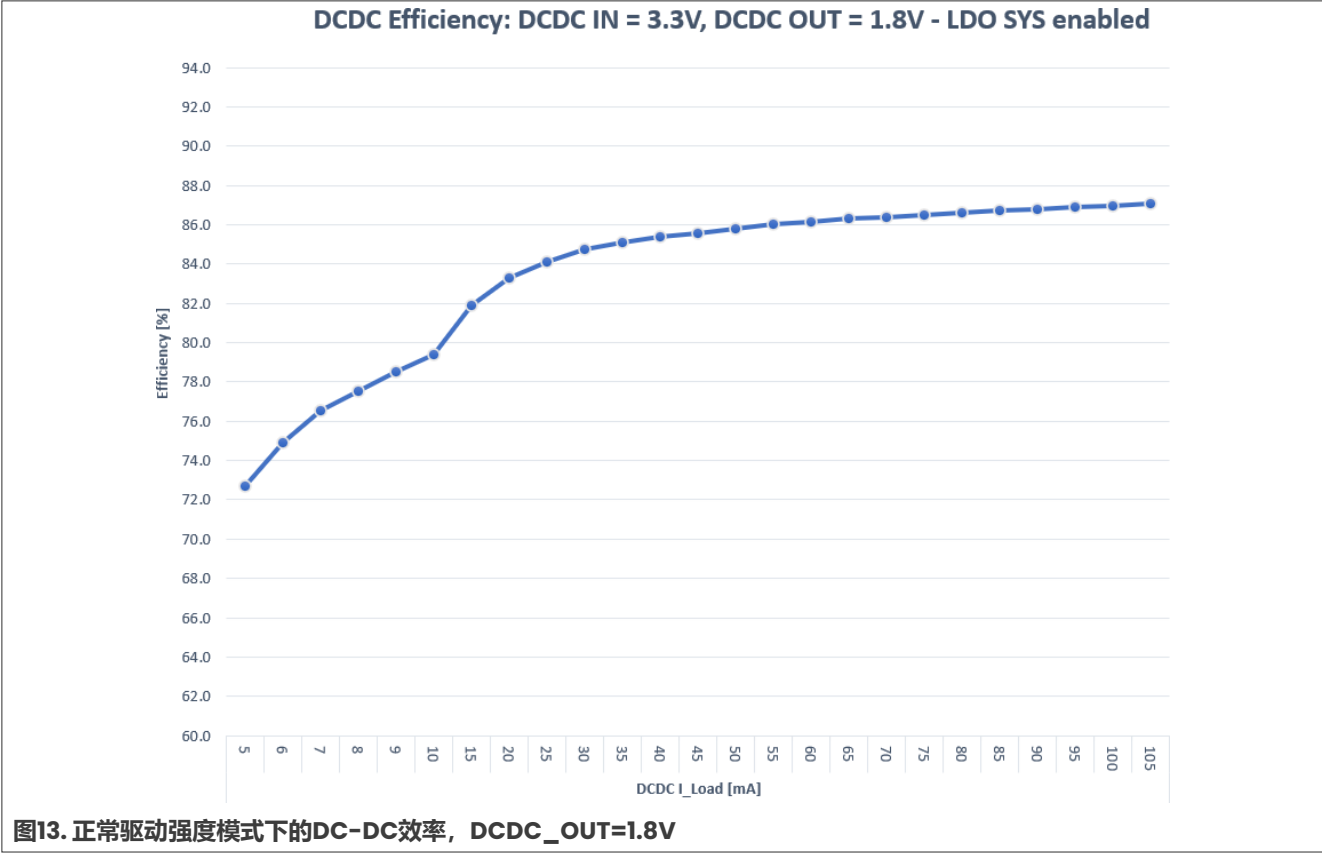
DC-DC转换器可以在正常或低驱动强度模式下以活动模式或脉冲刷新模式运行。[图10](#)展示了DC-DC输出和DCDC_LX电感电压的不同截屏。在DC-DC活动模式下，DC-DC通过电压突发不断调整输出电压，将DC-DC输出维持在所需水平，而不受DC-DC负载影响。在DC-DC脉冲模式下，内部计数器根据CCM32K频率刷新DC-DC。在DC-DC脉冲模式下，在大负载电流下无法保证DC-DC输出电压，如[第4.2节](#)所述。

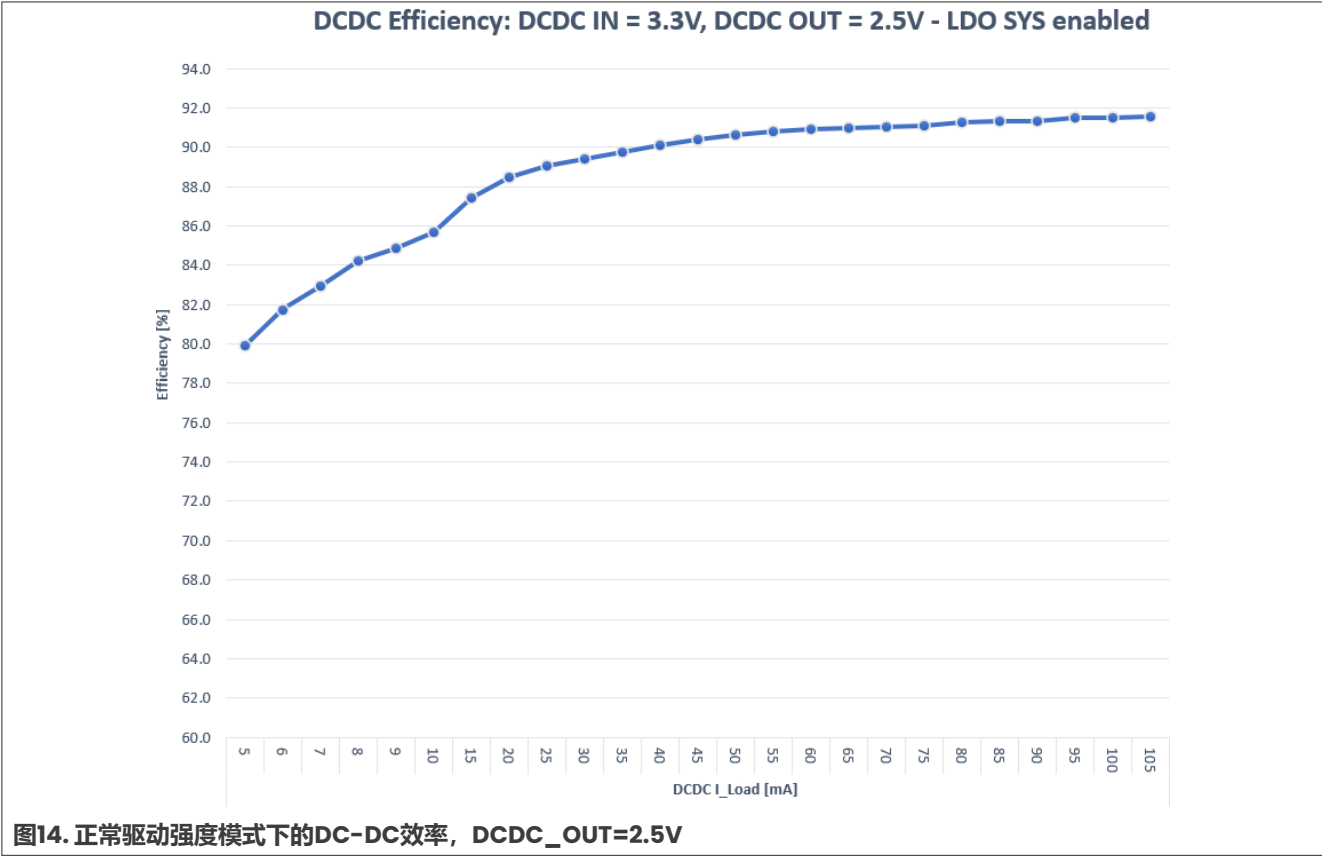


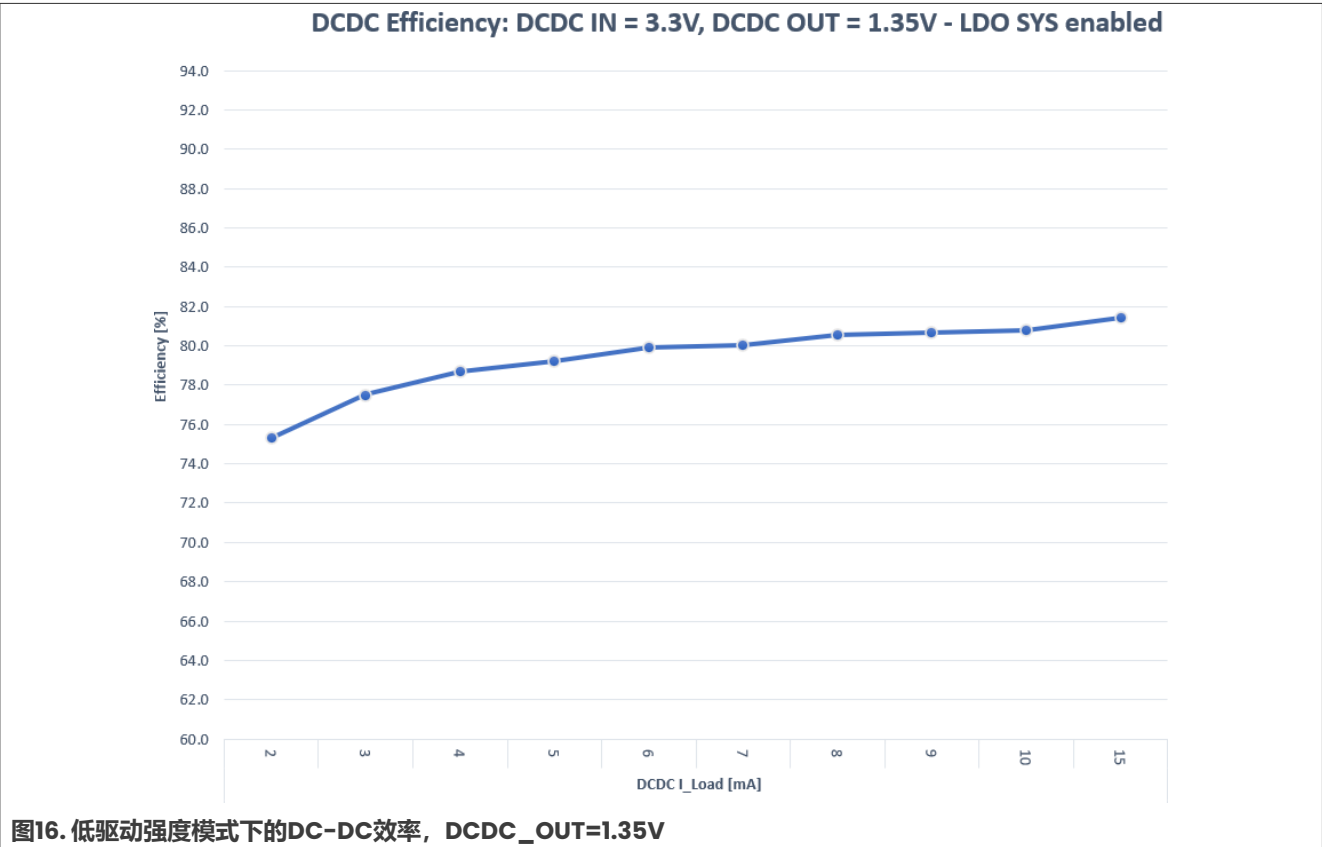
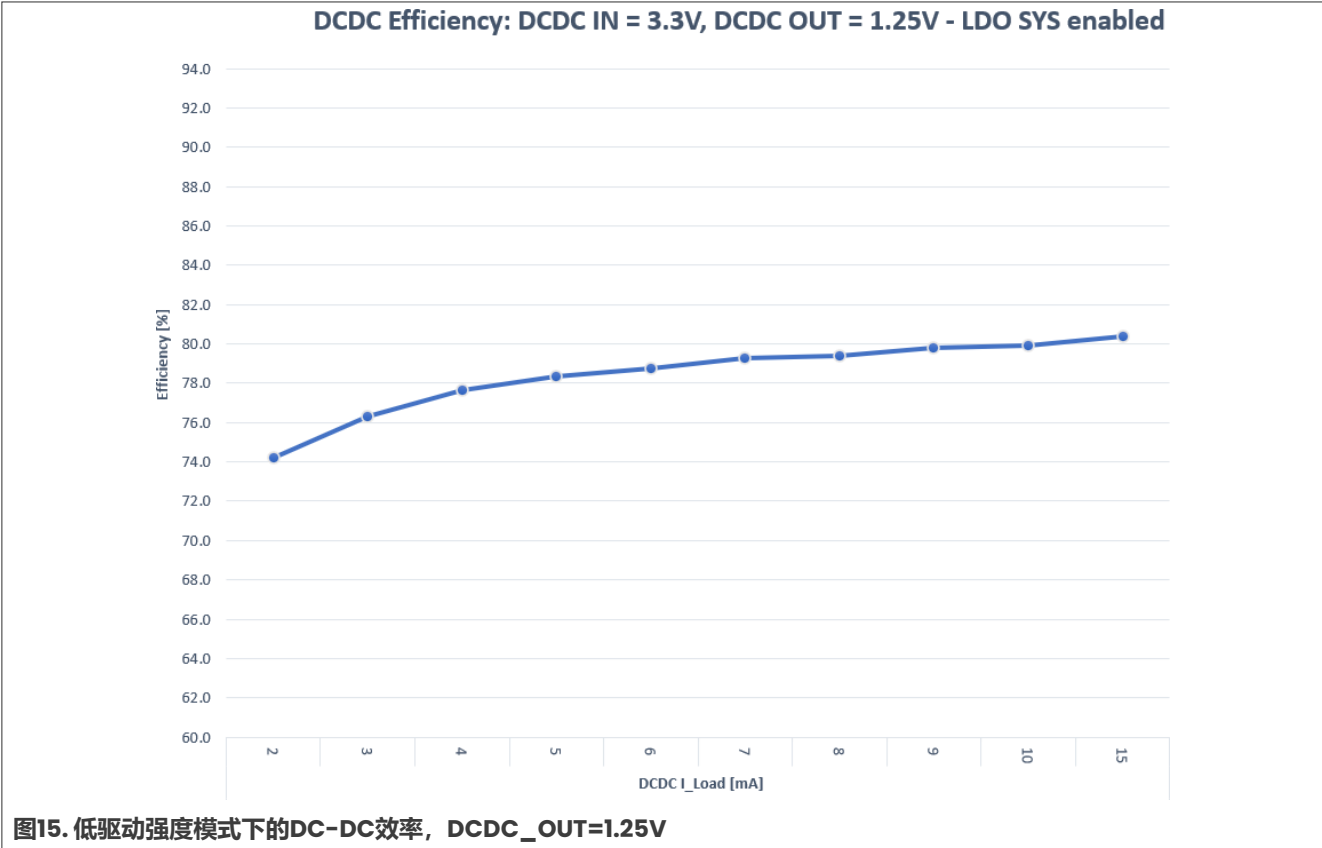
4.7.3 DC-DC效率图

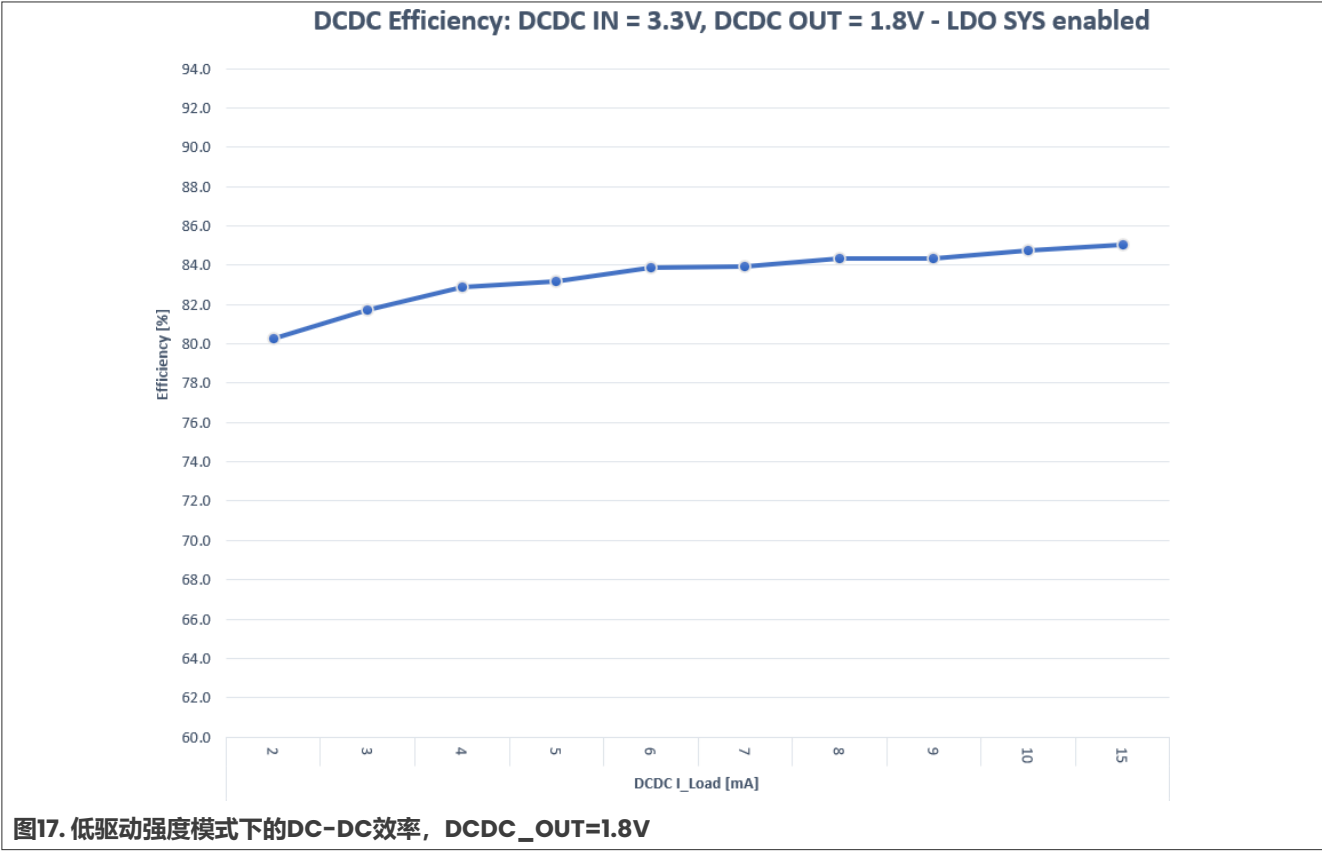
DC-DC转换器提供的功率是许多变量的函数，如DC-DC负载和电压。[图11](#)至[图17](#)通过一些例子展示了不同电压和电流下DC-DC效率的实际数据。考虑到DC-DC输入引脚是与系统LDO及VDD_IO_D电源域共享的，DC-DC输出电流已调整为固定值，且已测量了输入功率。











4.7.4 DC-DC脉冲刷新模式下的刷新周期

第4.2.2节中的公式1显示了脉冲模式下的DC-DC刷新率。图18和图19是显示脉冲模式下的DC-DC刷新周期的两个示例，以演示DCDC_BURST_CFG[PULSE_REFRESH_CNT]值的影响。

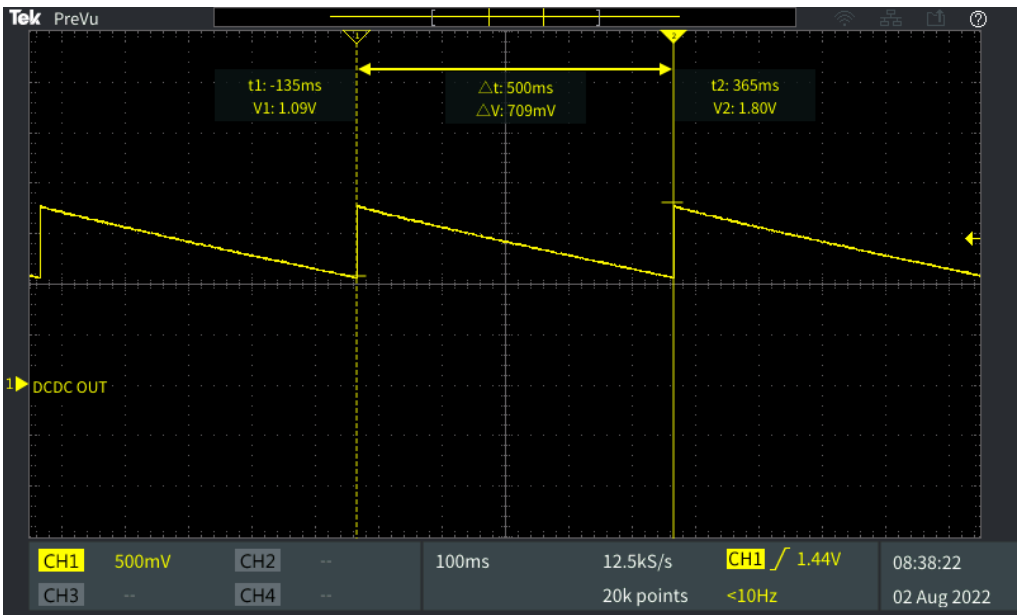


图18. 脉冲刷新模式下的DC-DC刷新周期，PULSE_REFRESH_CNT=16382，Tdcdc=500ms

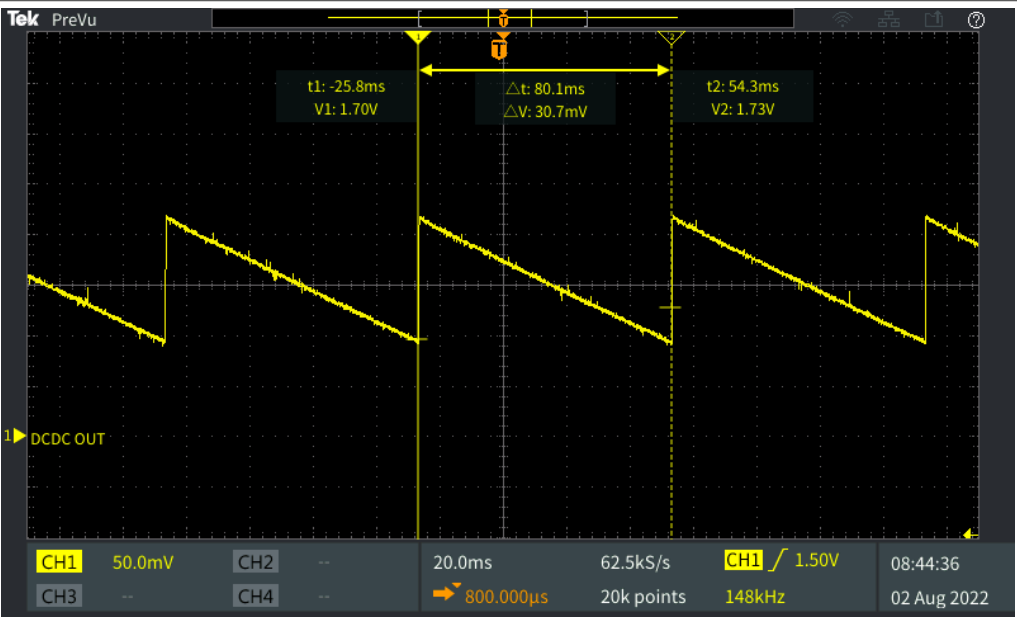


图19. 脉冲刷新模式下的DC-DC刷新周期，PULSE_REFRESH_CNT=2619，Tdcdc=80ms

表12介绍了用于捕获上述示例的器件的编程参数。

表12. 测量的刷新周期

示例	f _{CCM32K}	PULSE_REFRESH_COUNT	计算的 T _{DCDC_RFSH}	器件上测量的 T _{DCDC_RFSH}
图18	32.768kHz	16382	500ms	500ms
图19	32.768kHz	2619	79.98ms	80.1ms

4.7.5 DC-DC频率稳定功能、DC-DC峰值电流和频谱成分

通过设置DCDC_CFG[FREQ_CNTRL_ON]位启用DC-DC频率稳定功能，会修改DC-DC突发频率和DC-DC峰值电流，如第4.3节所述。因此，DC-DC谐波含量会发生变化，DC-DC峰值重载电流会降低，但代价是DC-DC最大负载能力也会降低。

以下示例展示了这些参数如何因DC-DC设置的不同而受到影响。在每个示例中，第一张图显示了DC-DC输入重载电流（DCDC_IN）（用黄色显示）和DC-DC输出突发（DCDC_OUT）。第二张图显示了DC-DC输出的频谱成分，垂直刻度为10dBm/格，水平刻度为10MHz/格。

- 频率稳定功能被禁用：
 - DCDC_CFG[FREQ_CNTRL_ON] = 0x0
 - DCDC_IN = 3.3V
 - DCDC_OUT = 1.25V
 - 无外部负载
 - DC-DC突发频率=4.12MHz
 - DCDC_IN最大电流=90.73mA



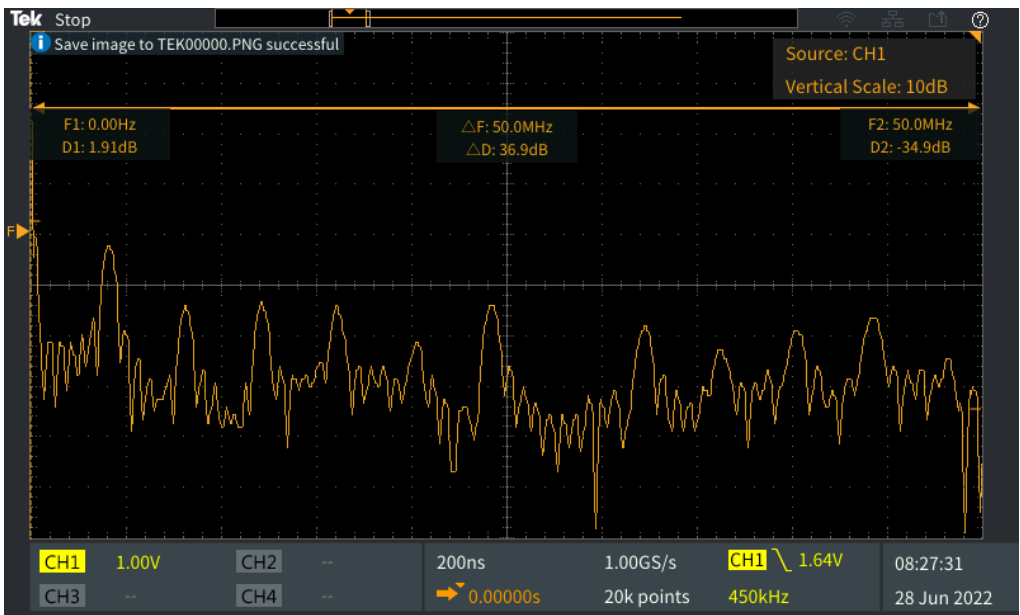


图20. DC-DC频率稳定功能关闭，DCDC_OUT=1.25V

- 频率稳定功能开启：
 - DCDC_CFG[FREQ_CNTRL_ON] = 0x1
 - DCDC_CFG[FREQ_CNTRL] = 0x3F
 - DCDC_IN = 3.3V
 - DCDC_OUT = 1.25V
 - 无外部负载
 - DC-DC突发频率=6.11MHz
 - DCDC_IN最大电流=52.93mA



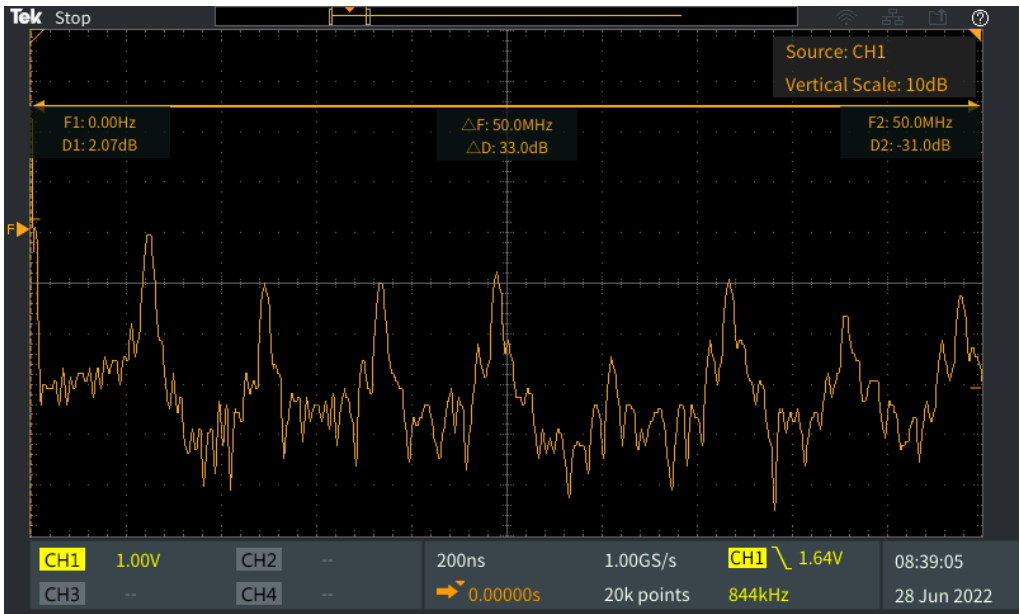


图21. DC-DC频率稳定功能开启，DCDC_OUT=1.25V

- 频率稳定功能被禁用：
 - DCDC_CFG[FREQ_CNTRL_ON] = 0x0
 - DCDC_IN = 3.3V
 - DCDC_OUT = 1.8V
 - 无外部负载
 - DC-DC突发频率=4.11MHz
 - DCDC_IN最大电流=123.37mA

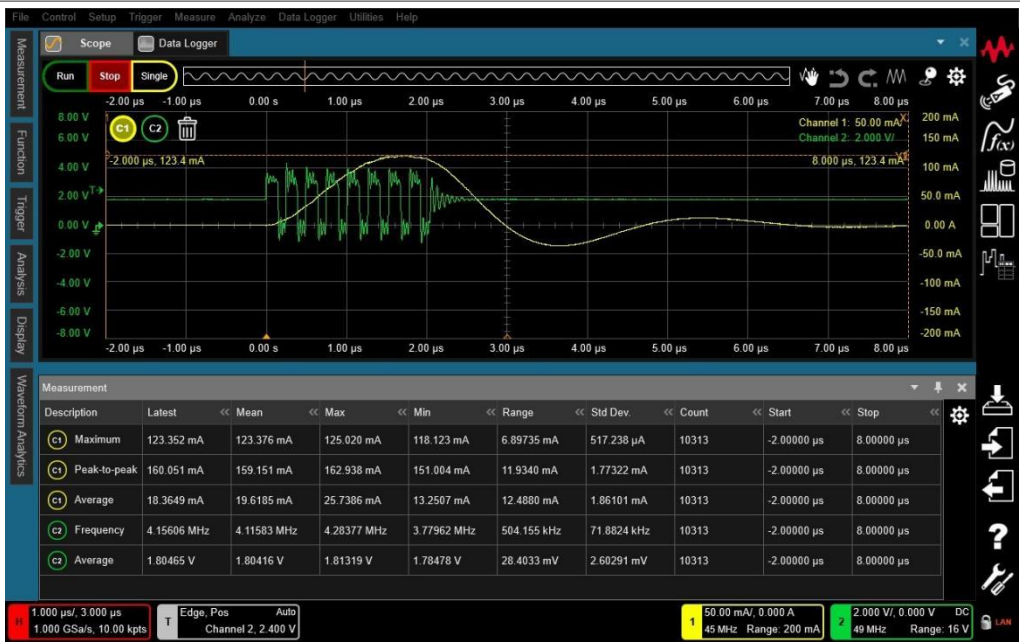
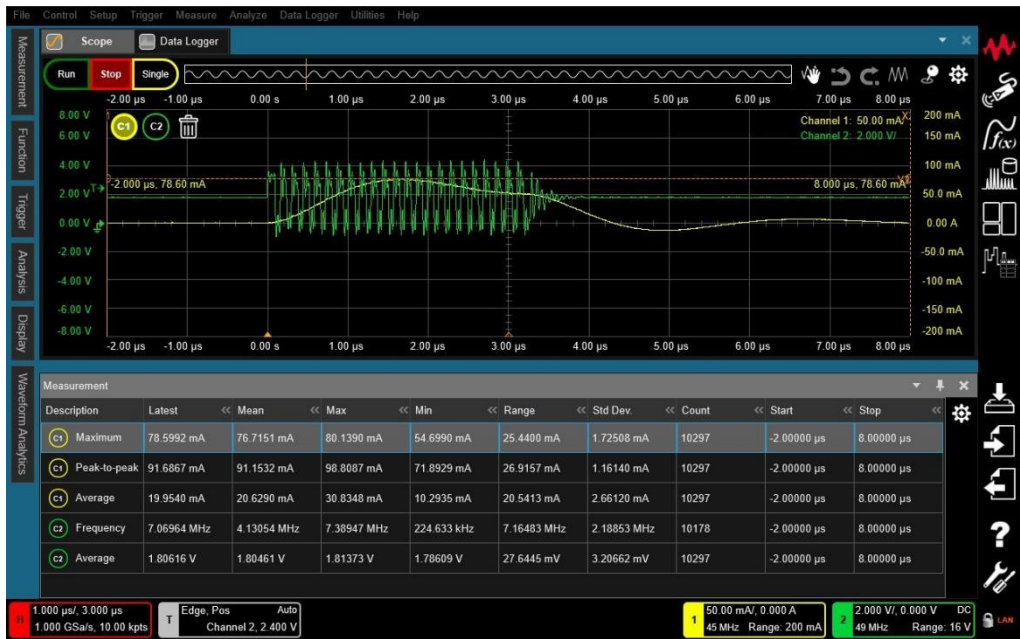




图22. DC-DC频率稳定功能关闭，DCDC_OUT=1.8V

- 频率稳定功能开启：
 - DCDC_CFG[FREQ_CNTRL_ON] = 0x1
 - DCDC_CFG[FREQ_CNTRL] = 0x3
 - DCDC_IN = 3.3V
 - DCDC_OUT = 1.8V
 - 无外部负载
 - DC-DC突发频率=4.13MHz
 - DCDC_IN最大电流=76.71mA



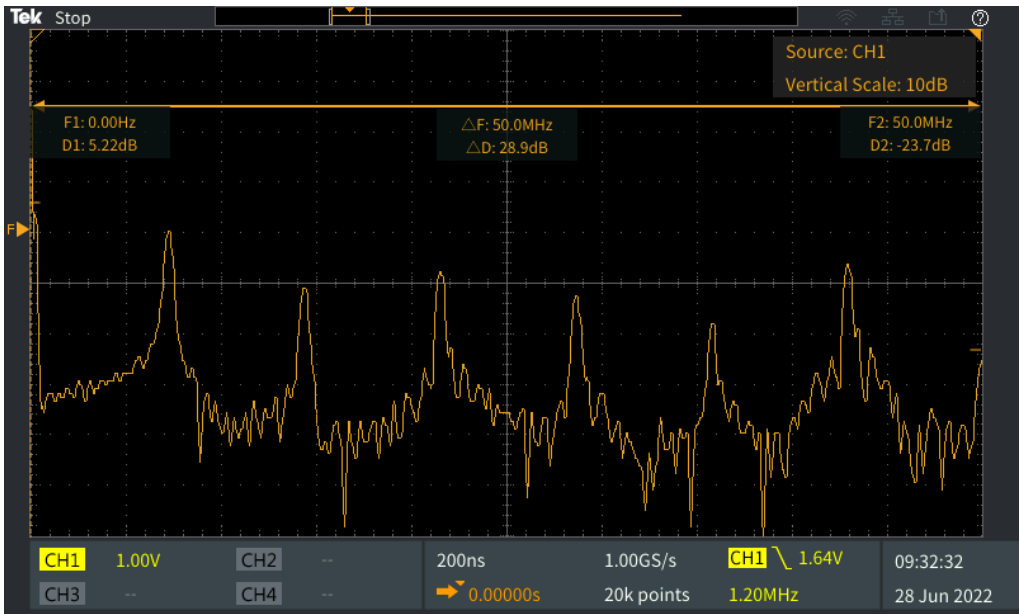


图23. DC-DC频率稳定功能开启，DCDC_OUT=1.8V

4.7.6 DC-DC功率估算

可以使用不同的方法来估算DC-DC转换器提供的功率。

注：DC-DC产生的部分功率会提供给内部，用于监控 DC-DC输出电压并确保电压调节值。

有关更多详细信息，请参阅器件数据手册中的“功耗操作行为”部分。

如果需要在运行时测量功耗，可以测量DC-DC输入电压和电流，以计算DC-DC输入功率。该值可以乘以更匹配应用的DC-DC效率值。在启用系统LDO的情况下，可以在[第4.7.3节](#)中找到一些用例的DC-DC效率报告。这种情况下要考虑到使用此方法可能会出现差异，因为DCDC_IN、PORTD域和LDO_SYS_IN共享此器件中可用于测量的DC-DC输入引脚（VDD_IO_D/VDD_DCDC引脚）。

此外，还可以直接在器件的DCDC_LX引脚上测量DC-DC突发的宽度（DCDC_Burs）和DC-DC刷新时间（T_{DCDC_Refresh}），以估算运行时DC-DC提供的输出功率。[图24](#)标出了光标x1和x2之间的DC-DC突发时间（t_{DCDC_Burst}）。



图24. DC-DC突发时间

图25标出了光标x1和x2之间的DC-DC刷新时间（ $T_{DCDC_Refresh}$ ）。



图25. DC-DC刷新时间

公式2用于根据先前的参数估算DC-DC的平均输出电流。在DC-DC以活动模式运行的情况下此方法适用，DC-DC脉冲刷新模式下则不适用。

$$DCDC_I_{out_avg} = k \left(\frac{t_{DCDC_Burst}}{T_{DCDC_Refresh}} \right) \tag{2}$$

其中：

- $DCDC_I_{out_avg}$: DC-DC的平均输出电流。
- t_{DCDC_Burst} : 在DCDC_LX引脚上直接测量的DC-DC突发时间。
- $T_{DCDC_Refresh}$: 在DCDC_LX引脚上直接测量的DC-DC刷新周期。它表示两个连续DC-DC重载事件之间的总时间。
- k : DC-DC电流常数。此值取决于DC-DC驱动模式：
 - $k=130mA$ 适用于DC-DC正常驱动强度模式
 - $k=65mA$ 适用于DC-DC低驱动强度模式
 - $k=80mA$ 适用于DC-DC频率稳定功能启用时

以下示例展示了如何估算DC-DC输出电流及其与实际DC-DC输出电流的对比结果。

注: 为了更好地估算电流，有必要累积多个DC-DC刷新周期的多个电流样本。

为了便于演示，以下示例考虑一个DC-DC重载周期：

- DC-DC配置为正常驱动强度：



图26. DC-DC正常驱动强度

- DC-DC配置为低驱动强度：



图27. DC-DC低驱动强度

- 启用DC-DC频率稳定功能:



图28. DC-DC频率稳定功能开启

表13介绍了用于捕获上述示例的器件的编程参数。

表13. DC-DC电流估算

DC-DC模式	t_{DCDC_Burst}	$T_{DCDC_Refresh}$	k	平均电流估算	器件上测量的平均电流
DC-DC正常驱动强度	11.42μs	23.72μs	130mA	62.58mA	65.25mA

表131. DC-DC电流估算 (续)

DC-DC模式	t _{DCDC_Burst}	T _{DCDC_Refresh}	k	平均电流估算	器件上测量的平均电流
DC-DC低驱动强度	28.64µs	60.77µs	65mA	30.63mA	32.64mA
DC-DC频率稳定功能开启	14.03µs	28.73µs	80mA	39.06mA	40.07mA

5 LDO内核和LDO系统稳压器

本章描述了LDO内核和LDO系统稳压器的特性、功能及操作。

5.1 启用和禁用LDO

LDO内核和LDO系统稳压器都可以根据应用要求启用和禁用。通过分别写入SPC -> CNTRL[CORELDO_EN]=0和SPC -> CNTRL[SYSLDO_EN]=0，SPC稳压器控制寄存器（CNTRL）可以启用或禁用LDO CORE和LDO SYS。默认情况下，这两个LDO都是启用的，但如果设计要旁路其中任何一个稳压器，则必须禁用该LDO以防止漏电流。LDO的输出VOUT_CORE和VOUT_SYS在内部分别与VDD_CORE和VDD_SYS电源域相连接。因此，在禁用任何上述稳压器之前，务必确保该电源域连接了外部电源。某些电源模式允许关闭VDD_CORE电源域。因此，如果VDD_SYS电源域没有连接外部电压，则不能禁用LDO系统稳压器。要禁用LDO内核或LDO系统稳压器，需要在SPC -> ACTIVE_CFG寄存器中将相应的位字段清除为0b，以禁用高低电压检测器（SYS_HVDE、CORE_HVDE、SYS_LVDE和CORE_LVDE），并等待SPC -> SC[BUSY]=0。然后通过清除SPC -> CNTRL[CORELDO_EN]或SPC -> CNTRL[SYSLDO_EN]位段来禁用LDO内核稳压器。

LDO内核和LDO系统稳压器都有一个下拉电阻。当软件禁用稳压器时，或在LDO内核稳压器的特定情况下当MCU进入深度掉电模式时，该下拉电阻会强制LDO放电。该功能默认是启用的。但是，当LDO内核和LDO系统稳压器被禁用以从外部电源驱动VDD_CORE和VDD_SYS电压时，建议禁用这些下拉电阻以防止电流泄漏。通过写入SPC -> CORELDO_CFG[DPDOWN_PULLDOWN_DISABLE]=1禁用LDO CORE稳压器的下拉电阻，通过写入SPC -> SYSLDO_CFG[ISINKEN]=0禁用LDO SYS稳压器的下拉电阻。

5.1.1 LDO的时序特性

本章介绍了LDO内核和LDO系统稳压器的时序特性。

5.1.1.1 LDO内核稳压器的时序特性

图29展示了LDO内核稳压器的启动时间：

- MCXW71以DC-DC降压模式连接，且未添加外部负载。
- 在此配置中，DC-DC输出作为LDO内核的电源。
- DC-DC输入电压为DCDC_IN=3.3V。
- LDO内核稳压器的输入和输出电压分别为LDO_CORE_IN=DCDC_OUT=1.8V和LDO_CORE_OUT=1.05V。
- DC-DC和LDO内核稳压器配置为正常驱动强度模式。

- 在本图中，红色曲线代表DCDC_IN，蓝色曲线代表LDO_CORE_IN/DCDC_OUT，黄色曲线代表LDO_CORE_OUT。

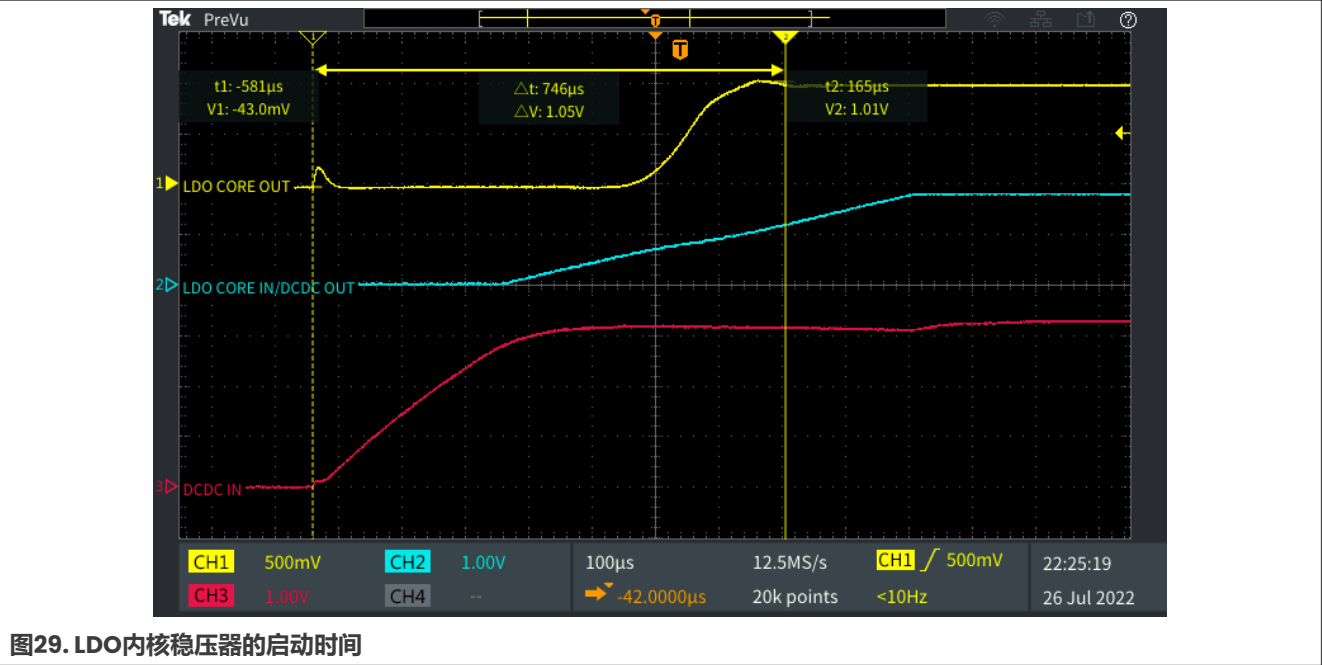


图30展示了LDO内核稳压器的关闭时间：

- MCXW71以DC-DC降压模式连接，且未添加外部负载。
- DC-DC输入电压为DCDC_IN=3.3V。
- LDO内核稳压器的输入和输出电压分别为LDO_CORE_IN/DCDC_OUT=1.8V和LDO_CORE_OUT=1.05V。
- LDO内核稳压器和DC-DC配置为正常驱动强度模式。
- 在本图中，黄色曲线代表LDO_CORE_OUT，蓝色曲线代表LDO_CORE_IN/DCDC_OUT。

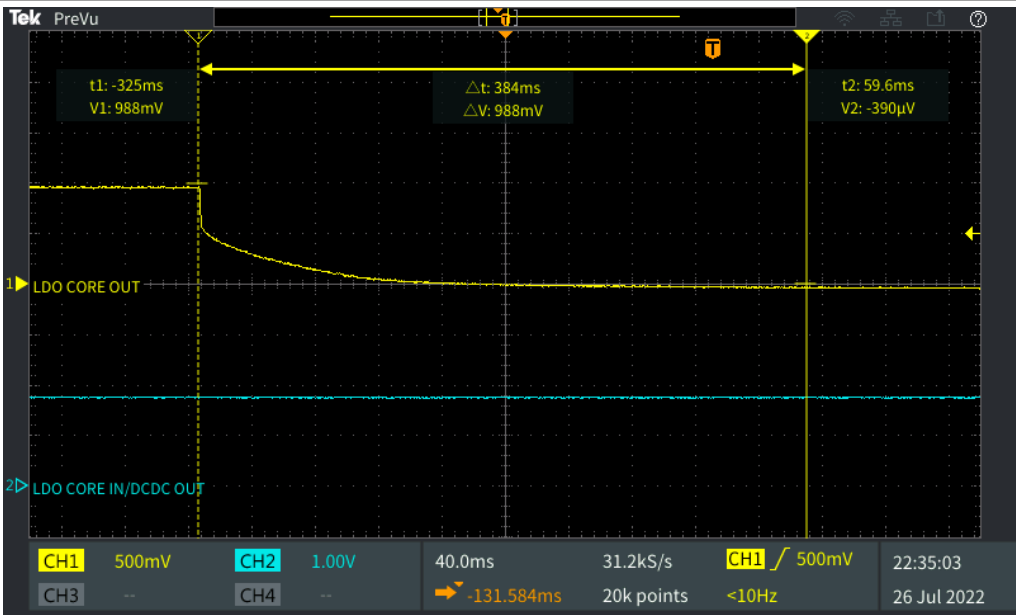


图30. LDO内核稳压器的关闭时间

5.1.1.2 LDO系统稳压器的时序特性

图31展示了LDO系统稳压器的启动时间：

- MCXW71以DC-DC降压模式连接，且未添加外部负载。
- LDO系统稳压器的输入和输出电压分别为LDO_SYS_IN=3.3V和LDO_SYS_OUT=1.8V。
- LDO系统稳压器配置为正常驱动强度模式。
- 在本图中，黄色曲线代表LDO_SYS_OUT，蓝色曲线代表LDO_SYS_IN。

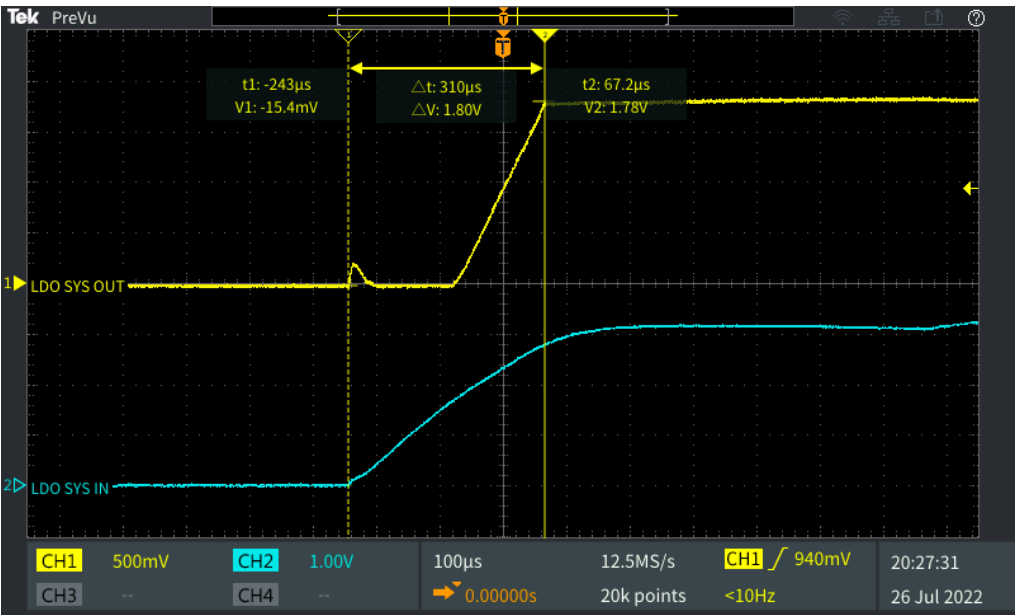


图31. LDO系统稳压器的启动时间

5.2 LDO驱动强度模式

LDO内核和LDO系统稳压器有两种驱动强度模式：

- 正常驱动强度模式
- 低驱动强度模式

在正常驱动强度模式下，LDO稳压器提供最大输出电流。另一方面，低驱动强度LDO模式会限制输出电流。LDO稳压器不是面向外部负载而设计的，而是为了给内核和系统电源域供电。在应用中，如果MCU以活动模式运行时LDO驱动强度模式的选择不重要，请保持默认设置，即LDO内核和LDO系统稳压器处于正常驱动强度。如果应用需要进入低功耗模式，则将LDO配置为低驱动强度以降低功耗。这种方法假设通过LDO稳压器供电的电源域的电流不超过几个微安，并且这种情况下LDO不会过载。MCU唤醒后，如果需要，可以为每个LDO选择正常驱动强度模式。

5.3 LDO在不同电源模式下的操作

与DC-DC降压转换器一样，LDO内核和LDO系统稳压器也可以在活动和低功耗模式下独立进行配置。SPC寄存器、活动电源模式配置寄存器（ACTIVE_CFG）和SPC低功耗模式配置寄存器（LP_CFG）为这两种模式提供了不同的配置选项。

表14介绍了每种MCXW71电源模式下允许的LDO运行模式。

表14. LDO的运行模式

模块	活动模式	睡眠模式	深度睡眠模式	掉电模式	深度掉电模式
LDO内核稳压器	正常驱动强度模式	正常或低驱动强度模式，由SPC LP_CFG控制	• 正常或低驱动强度模式，由SPC LP_CFG控制 • 关闭（可选）	• 正常或低驱动强度模式，由SPC LP_CFG控制 • 关闭（可选）	关闭
LDO系统稳压器	正常或低驱动强度模式，由SPC ACTIVE_CFG控制	正常或低驱动强度模式，由SPC LP_CFG控制	正常或低驱动强度模式，由SPC LP_CFG控制	正常或低驱动强度模式，由SPC LP_CFG控制	正常或低驱动强度模式，由SPC LP_CFG控制

LDO内核稳压器的正常驱动强度模式在除深度掉电模式之外的所有电源模式下均可用。当MCU默认处于活动模式时，LDO内核稳压器默认处于正常驱动强度模式，无法将其配置为低驱动强度模式。LDO内核稳压器的低驱动强度模式在睡眠、深度睡眠和掉电模式下可用。将MCU配置为进入深度睡眠或掉电模式时，可以选择禁用LDO内核稳压器。当MCU进入深度掉电模式时，LDO内核稳压器将被强制关闭。只有当LDO内核稳压器被配置为正常驱动强度时，才能更新LDO内核稳压器的输出电压。如果在LP_CFG寄存器中将LDO内核稳压器配置为正常驱动强度模式，则必须在ACTIVE_CFG和LP_CFG寄存器中将LDO内核稳压器电压配置为相同的值。在LP_CFG寄存器中将LDO内核稳压器驱动强度模式从正常更改为低驱动强度模式之前，要确保在相应配置中禁用所有HVD/LVD。如果在LDO内核稳压器处于低驱动强度模式时启用任何HVD/LVD，将强制LDO在正常驱动强度模式下运行。

LDO系统稳压器的正常驱动强度模式和低驱动强度模式在所有电源模式下均可用。当MCU进入深度掉电模式时，该稳压器是唯一保持启用状态的稳压器。在应用程序运行时，LDO系统稳压器必须一直配置为1.8V。只有在MCU必须烧录电子熔丝时，才能为LDO系统稳压器选择2.5V的输出电压。因此，此电压选项仅在MCU以活动模式运行时才可用。当LDO系统稳压器以2.5V的电压运行时，LDO会强制进入正常驱动强度模式。

只有在LDO配置为1.8V时，LDO系统稳压器的低驱动强度模式才可用。在ACTIVE_CFG或LP_CFG中将LDO系统驱动强度更改为低驱动强度之前，请确保在相应配置中禁用了所有HVD/LVD。如果在LDO系统稳压器处于低驱动强度时启用任何HVD/LVD，会强制LDO以正常驱动强度模式运行。

注：对DC-DC驱动强度或电压电平的任何更改都会导致SPC -> SC[BUSY]标志被置为'1'逻辑电平，直至SPC完成将其状态更改为新值。因此，软件必须检查SPC -> SC[BUSY]状态位，并等待此位清零，以确保SPC已完成驱动强度或电压转换。

5.4 LDO的主要配置寄存器

本节总结了在MCXW71 MCU中配置LDO稳压器时涉及的主要SPC寄存器。表15介绍了配置每个LDO的工作方式的SPC寄存器。有关外设的完整描述，请参阅《MCXW71参考手册》。

SPC0的基址址为4001_6000h

表15. SPC寄存器

偏移量	寄存器	宽度（位）	访问类型	复位值
14h	SPC稳压器控制寄存器 (CNTRL) 此寄存器控制SPC稳压器的启用。	32	WONCE	0000_0007h
100h	活动电源模式配置寄存器 (ACTIVE_CFG) 此寄存器控制SPC稳压器在活动模式下的设置。	32	RW	3F10_0E15h
104h	低功耗模式配置寄存器 (LP_CFG) 此寄存器控制SPC稳压器在低功耗模式下的设置。	32	RW	0002_1D04h
300h	LDO_CORE配置寄存器 (CORELDO_CFG)	32	RW	0000_0044h
400h	LDO_SYS配置寄存器 (SYSLDO_CFG)	32	RW	0000_0101h

5.4.1 SPC稳压器控制寄存器 (CNTRL)

- **CNTRL[CORELDO_EN]**: 此位段控制LDO内核稳压器处于开启 (CORELDO_EN=1) 还是关闭 (CORELDO_EN=0) 状态。默认情况下，LDO内核稳压器是开启的。在禁用该LDO之前，请确保由该域供电的电源域可以被禁用。如果LDO内核稳压器被旁路，可通过写入CORELDO_EN=0来禁用LDO内核稳压器。
- **CNTRL[SYSLDO_EN]**: 此位段控制LDO系统稳压器处于开启 (SYSLDO_EN=1) 还是关闭 (SYSLDO_EN=0) 状态。默认情况下，LDO系统稳压器是开启的。如果LDO系统稳压器被旁路，可通过写入SYSLDO_EN=0来禁用LDO系统稳压器。

5.4.2 活动电源模式配置寄存器 (ACTIVE_CFG)

- **ACTIVE_CFG[CORELDO_VDD_LVL]**: 此位段控制SPC处于活动模式时的LDO内核稳压器的输出电压。

表16. CORELDO_VDD_LVL和LDO电压

CORELDO_VDD_LVL	LDO电压
00b	保留
01b	1.05V

表16. CORELDO_VDD_LVL和LDO电压 (续)

CORELDO_VDD_LVL	LDO电压
10b	1.1V
11b	1.15V

- **ACTIVE_CFG[SYSLDO_VDD_LVL]**: 此位段控制SPC处于活动模式时的LDO系统稳压器的输出电压。

表17. SYSLDO_VDD_LVL和LDO电压

SYSLDO_VDD_LVL	LDO电压
0b	1.8V
1b	2.5V

- **ACTIVE_CFG[SYSLDO_VDD_DS]**: 此位段控制SPC处于活动模式时的LDO系统稳压器的驱动强度模式。

表18. SYSLDO_VDD_DS和LDO驱动模式

SYSLDO_VDD_DS	LDO驱动模式
0b	设置为低驱动强度
1b	设置为正常驱动强度

5.4.3 低功耗模式配置寄存器 (LP_CFG)

- **LP_CFG[CORELDO_VDD_LVL]**: 此位段控制SPC处于低功耗模式时的LDO内核稳压器的输出电压。

表19. CORELDO_VDD_LVL和LDO电压

CORELDO_VDD_LVL	LDO电压
00b	保留
01b	1.05V
10b	1.1V
11b	1.15V

- **LP_CFG[CORELDO_VDD_DS]**: 此位段控制SPC处于低功耗模式时的LDO内核稳压器的驱动强度模式。

表20. CORELDO_VDD_DS和LDO驱动模式

CORELDO_VDD_DS	LDO驱动模式
0b	设置为低驱动强度
1b	设置为正常驱动强度

- **LP_CFG[SYSLDO_VDD_DS]**: 此位段控制SPC处于低功耗模式时的LDO系统稳压器的驱动强度模式。

表21. SYSLDO_VDD_DS和LDO驱动模式

SYSLDO_VDD_DS	LDO驱动模式
0b	设置为低驱动强度

表21. SYSLDO_VDD_DS和LDO驱动模式 (续)

SYSLDO_VDD_DS	LDO驱动模式
1b	设置为正常驱动强度

5.4.4 LDO_CORE配置寄存器 (CORELDO_CFG)

CORELDO_CFG[DPDOWN_PULLDOWN_DISABLE]: 此配置寄存器用于控制LDO内核稳压器中的下拉电阻处于启用还是禁用状态。它用于在深度掉电模式下关闭此稳压器时对LDO输出电压进行快速放电。此电阻默认启用, 建议不要更改此设置。

5.4.5 LDO_SYS配置寄存器 (SYSLDO_CFG)

SYSLDO_CFG[ISINKEN]: 此配置寄存器用于控制LDO系统稳压器中的下拉电阻处于启用还是禁用状态。它用于在关闭此稳压器时对LDO输出电压进行快速放电。此电阻默认启用, 建议不要更改此设置。

5.5 LDO的电气特性

本章介绍LDO内核和LDO系统稳压器的电气特性。

5.5.1 LDO内核稳压器的电气特性

[表22](#)总结了LDO内核稳压器的规格。

表22. LDO内核稳压器的规格

符号	说明	最小值	典型值	最大值	单位	备注
V_LDO_CORE_IN	LDO内核稳压器的输入电压	1.25	-	3.6	V	1, 2
V_LDO_CORE_OUT	LDO内核稳压器的输出电压: • 正常驱动强度模式 • 低驱动强度模式	1.05 1.05	- -	1.15 1.15	V	
I_LDO_CORE_LOAD	LDO内核稳压器在LDO输出端的最大负载电流: • 活动模式: V_LDO_CORE_IN ≥ 1.5V • 活动模式: V_LDO_CORE_IN < 1.5V • 低功耗模式: V_LDO_CORE_IN ≥ 1.5V • 低功耗模式: V_LDO_CORE_IN < 1.5V	- - - -	- - - -	60 30 5 5	mA	
I_LDO_CORE_IN	LDO内核稳压器的输入电流消耗: • 正常驱动强度: V_LDO_CORE_IN ≥ 1.5V • 正常驱动强度: V_LDO_CORE_IN < 1.5V • 低驱动强度: V_LDO_CORE_IN ≥ 1.5V • 低驱动强度: V_LDO_CORE_IN < 1.5V	- - - -	- - - -	150 75 0.05 0.05	µA	3
Iinrush	LDO内核稳压器的浪涌电流	-	-	5 x ILoad	mA	
COUT	LDO内核稳压器的外部输出电容	3.7	4.7	10	µF	
Cdec	LDO内核稳压器的外部去耦电容	-	0.1	-	µF	

表22. LDO内核稳压器的规格（续）

符号	说明	最小值	典型值	最大值	单位	备注
ESR	外部输出电容等效串联电阻	-	10	-	mΩ	

注:

- 要旁路LDO_CORE，请将VDD_LDO_CORE连接到VDD_CORE。
- 在中压稳压选项 (1.05V) 中，必须将VDD_LDO_CORE输入电压设置为比VOUT_CORE高200mV。对于支持的其它电压调节选项，必须设置为比VOUT_CORE高250mV。
- 在正常驱动强度下，LDO_CORE 每提供20mA的负载电流会消耗约40μA。在低驱动强度下，LDO_CORE 每提供100mA的负载电流会消耗约50μA。

5.5.2 LDO系统稳压器的电气特性

表23总结了LDO系统稳压器的规格。

表23. LDO系统稳压器的规格

符号	说明	最小值	典型值	最大值	单位	备注
V_LDO_SYS_IN	LDO系统稳压器的输入电压： • 稳压模式下的LDO_SYS输入电源电压 • 旁路模式下的LDO_SYS输入电源电压 • 熔丝烧录模式下的LDO_SYS输入电压	1.86	-	3.6	V	1
		1.8	-	1.98		
		2.75	-	3.6		
V_LDO_SYS_OUT	LDO系统稳压器的输出电压： • 正常驱动强度模式 • 熔丝烧录模式	1.71 2.25	1.8 2.5	1.98 2.75	V	2, 3, 4, 5
I_LDO_SYS_LOAD	LDO系统稳压器的在LDO输出端的最大负载电流： • 正常驱动强度模式 • 低驱动强度模式 • 熔丝烧录模式	- - -	- - -	50 2 40	mA	
I_LDO_SYS_IN	LDO系统稳压器的输入电流消耗： • 正常驱动强度模式 • 低驱动强度模式	- -	100 70	- -	μA nA	6
linrush	LDO系统稳压器的浪涌电流	-	-	120	mA	7
COUT	LDO系统稳压器的外部输出电容	-	1.5	10	μF	
Cdec	LDO系统稳压器的外部去耦电容	-	0.1	-	μF	
ESR	外部输出电容等效串联电阻	-	30	-	mΩ	

注:

- 当电压低于1.95V时，稳压器自动切换为直通模式（即稳压器的驱动器完全开启）。
- LDO_SYS转换器在VOUT_SYS端默认生成1.8V的电压。只要不超过最大ILOAD，VOUT_SYS可用于为VDD_SYS、VDD_RF、VDD_IO_X及VDD_ANA供电。

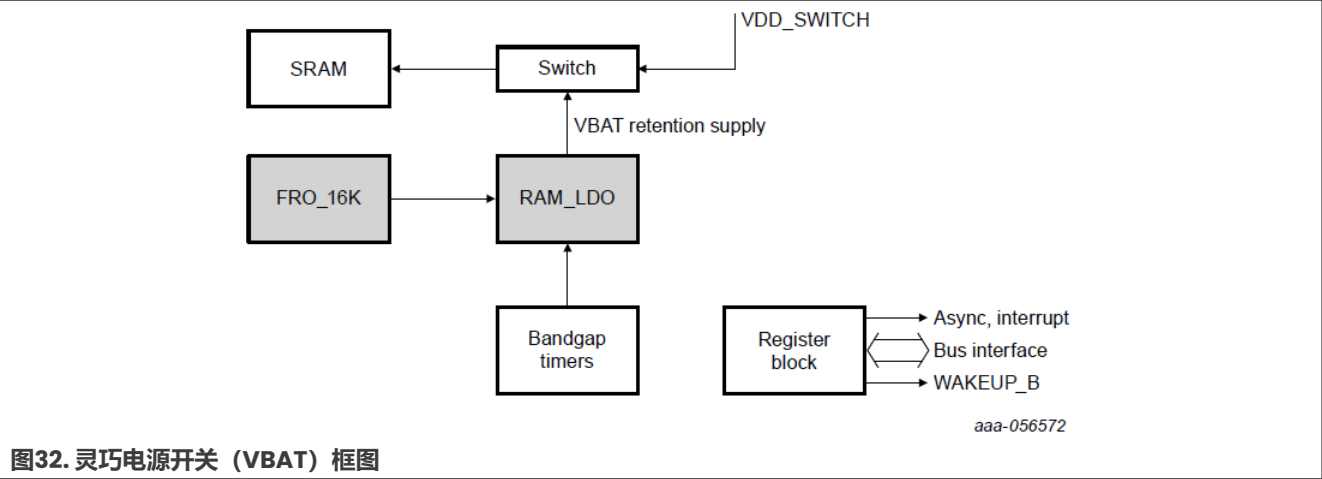
- 3. *VOUT_SYS和VDD_SYS连接在一起。*
- 4. *VDD_IO_D必须比所需的VOUT_SYS高出至少150mV。*
- 5. *LDO_SYS可用于烧录电子熔丝，在此配置中输出电压范围为2.25V至2.75V。*
- 6. *在正常驱动强度下，LDO_SYS每提供20mA的负载电流会消耗约100μA。对于外部输出电容，取值为1.5μF。如果电容为10μF，则此值必须为300mA。*

6 灵巧电源开关

灵巧电源开关（VBAT）是一个低电阻开关，与电源管理系统配合使用，以实现节能机制。它可以用于关闭全部或部分电源域，以最大限度地降低功耗。

然而，如果MCXW71使用的电池峰值电流有限，则请勿频繁地使用灵巧电源开关，因为DC-DC会在启动期间产生很大的浪涌电流，这将缩短电池寿命。因此，对于电池供电的应用，建议在系统长时间断电的情况下谨慎使用灵巧电源开关。该开关还可用于控制板上外部负载的电源分配，只要负载和电压要求在VBAT规格规定的范围内。灵巧电源开关的一些典型配置请参见第3节。

图32所示为MCXW71 MCU中灵巧电源开关的架构。



6.1 灵巧电源开关的硬件

灵巧电源开关不仅可以打开/关闭负载，还包含由独立电源域VDD-SWITCH供电的嵌入式硬件。该硬件提供了额外的功能来满足MCXW71 MCU在多种应用场景下的需求。

以下部分描述了灵巧电源开关的硬件及其功能。

6.1.1 VBAT FRO16K和带隙定时器

灵巧电源开关内置一个16.384kHz振荡器，由VDD-SWITCH电源域供电，也称为VBAT FRO16K振荡器。FRO16K可以在所有低功耗模式下保持活动状态。FRO16K供VBAT使用，但是MCXW71中的一些其它外设也可以使用它。有关此功能的更多详细信息，请参阅《MCXW71参考手册》。

除了FRO16K振荡器，灵巧电源开关还包含两个带隙定时器：

- 带隙定时器0

- 带隙定时器1

这两个带隙定时器都使用FRO16K作为参考时钟来确定其计数值，它们也由VDD-SWITCH电源域供电。它们都可以在定时器计数到期时打开灵巧电源开关，并设置VBAT在一定时间内关闭系统。在MCXW71 MCU中，带隙定时器0的超时范围可以配置为7.8125毫秒至1秒，带隙定时器1的超时范围为1秒至65,535秒。在启动任何带隙定时器之前，需打开FRO16K (VBAT → FROCTLA[FRO_EN] = 1)，并启用LDO RAM带隙位 (VBAT → LDOCTLA[BG_EN] = 1)。

6.1.2 VBAT LDO RAM的保持和SRAM保持阵列

当灵巧电源开关控制所有电源域时，希望器件上运行的应用程序会在VBAT开关关闭和打开时复位其执行。因此，由于系统断电，会导致应用程序上下文丢失。为了应对这种情况，灵巧电源开关包括一个LDO，可以为一个8kB的SRAM数组供电，以便在VBAT关闭时保留应用程序数据。在灵巧电源开关再次打开时，此功能可在器件的POR序列完成后实现快速恢复。

通常，LDO RAM的保持稳压器可以在任何时候或在出现应用程序数据丢失的任何低功耗模式下确保SRAM保持电源的不间断提供。但是，当由LDO RAM为该内存供电时，对SRAM保留地址范围的所有访问都是不允许的。否则，任何访问内存的尝试都会触发一个异常条件。8kB SRAM保留数组的地址范围为0x2001_A000至0x2001_BFFF，对应于MCXW71器件中的STCM5。STCM5支持MCXW71器件中的ECC。

6.1.2.1 VBAT LDO RAM启用顺序

要启用VBAT LDO RAM保持稳压器，必须按照以下步骤操作。

1. 启用VBAT FRO16K振荡器：VBAT → FROCTLA[FRO_EN] = 1
2. 启用LDO RAM带隙位：VBAT → LDOCTLA[BG_EN] = 1
3. 要实现最低功耗，应通过启用以下位来将LDO RAM设置为低功耗刷新模式：
VBAT → LDOCTLA[REFRESH_EN] = 1
4. 启用LDO RAM稳压器：VBAT → LDOCTLA[LDO_EN] = 1
5. 轮询VBAT → STATUSA[LDO_RDY]位，等待LDO_RDY标志设置

6.1.2.2 使用VBAT LDO RAM稳压器为SRAM保持内存供电

默认情况下，SRAM保持内存由VDD_CORE域供电。因此，如果应用程序需要使用内存保持功能，软件必须配置适当的寄存器，将SRAM电源从VDD_CORE域转移到VBAT LDO RAM稳压器。如[第6.1.2节](#)所述，在使用LDO RAM稳压器供电时，任何读取或写入SRAM保持内存的尝试都会导致故障。因此，必须在切换内存电源之前将应用程序数据保存在SRAM地址范围内。

以下步骤描述了如何配置VBAT LDO RAM稳压器来为SRAM保持内存供电：

1. 按照[第6.1.2.1节](#)中描述的步骤启用VBAT LDO RAM。
2. 配置VBAT → LDORAMC[ISO] = 1。
3. 配置VBAT → LDORAMC[SWI] = 1。

一旦VBAT打开，软件必须反向执行这些步骤，将SRAM内存电源切换回VDD_CORE域，从而能够访问SRAM保持内存并加载应用程序上下文。

1. 配置VBAT → LDORAMC[SWI] = 0。

2. 配置VBAT -> LDORAMC[ISO] = 0。

6.1.3 VBAT开关控制

灵巧电源开关可通过以下四种方法之一打开：

1. 在VBAT上电复位（POR）之后，内部唤醒逻辑会自动打开灵巧电源开关。VBAT上电复位（POR）在VDD_SWITCH的上电循环时进行。VBAT POR会将灵巧电源开关的寄存器复位为原始状态。这是硬件复位这些值的唯一方法。在VBAT POR之后，灵巧电源开关的输出默认打开。VBAT POR独立于器件POR。
2. 软件可以在MCXW71中的外部SWITCH_WAKEUP_B引脚上检测到下降沿之后打开VBAT。SWITCH_WAKEUP_B引脚在内部上拉。
3. 软件可以在关闭灵巧电源开关之前对灵巧电源开关中嵌入的任何一个VBAT带隙定时器进行编程，以在设定的时间之后唤醒VBAT。
4. 当灵巧电源开关控制电路板上的外部负载的激活时，SPC可以通过SPC->CFG MCU活动设置激活该开关。软件在SPC->CFG寄存器中写入相应的设置，就可以停用灵巧电源开关。当MCXW71处于活动模式或任何低功耗模式时，SPC寄存器配置灵巧电源开关的独立开关控制设置，具体如下：
 - a. MCXW7 MCU活动模式设置（MCU运行并执行代码）：

SPC->CFG活动设置可以启用/禁用灵巧电源开关，以驱动电路上的外部负载。当灵巧电源开关控制MCXW7电源时，不能使用SPC->CFG寄存器活动设置来启用/禁用该开关。
 - b. MCXW7 MCU低功耗模式设置：

SPC->CFG低功耗设置提供配置位，以便在器件进入低功耗模式时自动停用灵巧电源开关。当MCU通过灵巧电源开关SWITCH_WAKEUP_B按钮或内部VBAT带隙定时器从低功耗模式恢复时，它会再次激活灵巧电源开关。灵巧电源开关的低功耗设置用于控制MCXW71的电源。因此，要禁用控制器件主电源的开关，应用程序软件必须首先配置灵巧电源开关的低功耗设置，然后再执行进入低功耗模式的序列。

SPC->CFG寄存器在活动 and 低功耗模式下的启用/禁用设置如下：

1. SPC->CFG[INTG_PWSWITCH_WKUP_ACTIVE_EN]：活动模式下的VBAT启用位
将此位设置为'1'，就可以在MCU处于活动模式时启用灵巧电源开关。当MCU处于活动模式且VBAT已启用的情况下，将此位修改为'1'或'0'不会带来影响。它用于控制外部负载。
2. SPC->CFG[INTG_PWSWITCH_SLEEP_ACTIVE_EN]：活动模式下的VBAT禁用位
将此位设置为'1'，就可以在MCU处于活动模式时禁用灵巧电源开关。当MCU处于活动模式且VBAT已禁用时，将此位修改为'1'或'0'不会带来影响。它用于控制外部负载。
3. SPC->CFG[INTG_PWSWITCH_WKUP_EN]：低功耗模式下的VBAT启用位
将此位设置为'1'，就可以在MCU从任何低功耗模式退出时启用灵巧电源开关。它用于在MCU退出低功耗模式时通过灵巧电源开关启用器件的主电源。
4. SPC->CFG[INTG_PWSWITCH_SLEEP_EN]：低功耗模式下的VBAT禁用位
将此位设置为'1'，就可以在MCU进入任何低功耗模式时禁用灵巧电源开关。它用于在MCU进入低功耗模式时通过灵巧电源开关禁用器件的主电源。

应用软件不能同时启用 “INTG_PSWTCH_WKUP_ACTIVE_EN” 和 “INTG_PSWTCH_SLEEP_ACTIVE_EN” ，因为这会导致无效的状态。要在MCU处于活动模式时打开灵巧电源开关，应将INTG_PSWTCH_WKUP_ACTIVE_EN设置为1，将INTG_PSWTCH_SLEEP_ACTIVE_EN设置为0。相反，要关闭VBAT，请同时将INTG_PSWTCH_WKUP_ACTIVE_EN设置为0，将INTG_PSWTCH_SLEEP_ACTIVE_EN设置为1。如果应用程序在MCU活动模式下不使用灵巧电源开关，则不要设置这些位。

对于VBAT低功耗操作模式，软件可以同时启用INTG_PSWTCH_WKUP_EN和INTG_PSWTCH_SLEEP_EN，以在MCXW71处于低功耗模式时关闭VBAT，在退出低功耗模式时再次打开。根据应用程序的要求和预期的操作，可以分别启用任何低功耗模式下的VBAT控制位。如果应用程序在MCU低功耗模式下不使用灵巧电源开关，则不要设置这些位。

如果软件将灵巧电源开关配置为通过SWITCH_WAKEUP_B外部引脚或任何可编程带隙定时器唤醒，则软件必须清除相应的状态标志位。然后，将INTG_PSWTCH_WKUP_ACTIVE_EN设置为1，将INTG_PSWTCH_SLEEP_ACTIVE_EN设置为0，以完成灵巧电源开关的激活，并提前使硬件做好进行下一次灵巧电源开关关闭序列的准备。

[第7.3节](#)提供了一些代码片段，展示了如何启用灵巧电源开关的主要功能。

6.2 灵巧电源开关的主要配置寄存器

本节总结了在MCXW71 MCU中配置灵巧电源开关时涉及的主要SPC和VBAT寄存器。

[表24](#)介绍了用于配置DC-DC行为的SPC寄存器。有关外设的完整描述请参阅《MCXW71参考手册》。

SPC0的基址为4001_6000h

表24. SPC寄存器

偏移量	寄存器	宽度 (位)	访问类型	复位值
20h	SPC配置寄存器 (CFG) 此寄存器控制MCU以活动模式和低功耗模式运行时灵巧电源开关的开关状态。	32	RW	0000_0000h

[表25](#)介绍了配置DC-DC行为的VBAT寄存器。

VBAT0的基址为4002_B000h

表25. VBAT寄存器

偏移量	寄存器	宽度 (位)	访问类型	复位值
10h	状态A (STATUSA) 寄存器 此寄存器包含与VBAT打开事件相关的状态标志位。	32	WIC	0000_0001h
20h	唤醒使能A (WAKENA) 寄存器 此寄存器启用/禁用灵巧电源开关以控制电源开启选项。	32	RW	0000_0001h
200h	FRO16K控制A (FROCTLA) 寄存器 此寄存器包含内部16kHz VBAT振荡器的启用/禁用选项。	32	RW	0000_0001h
300h	LDO_RAM控制A (LDOCTLA) 寄存器 此寄存器包含LDO RAM保持稳压器的启用选项。	32	RW	0000_0000h
320h	RAM控制 (LDORAMC) 寄存器	32	RW	0000_0000h

表25. VBAT寄存器 (续)

偏移量	寄存器	宽度 (位)	访问类型	复位值
	此寄存器配置SRAM保持内存的电源设置。			
330h	带隙定时器0 (LDOTIMER0) 寄存器 此寄存器包含带隙定时器0的启用和超时设置。	32	RW	0000_0000h
338h	带隙定时器1 (LDOTIMER1) 寄存器 此寄存器包含带隙定时器1的启用和超时设置。	32	RW	0000_0000h

6.2.1 SPC配置寄存器 (CFG)

- **CFG[INTG_PSWTCH_WKUP_ACTIVE_EN]**: 活动模式下的VBAT启用位。
在MCU处于活动模式时, 将此位设置为'1', 就可以启用灵巧电源开关。当MCU处于活动模式且VBAT已启用时, 将此位更改为任何其他值不会带来影响。确保不要在INTG_PSWTCH_SLEEP_ACTIVE_EN=1时将此位设置为'1'。它用于控制外部负载。
- **CFG[INTG_PSWTCH_SLEEP_ACTIVE_EN]**: 活动模式下的VBAT禁用位。
在MCU处于活动模式时, 将此位设置为'1', 就可以禁用灵巧电源开关。当MCU处于活动模式且VBAT已打开时, 将此位更改为任何其他值不会带来影响。确保不要在INTG_PSWTCH_WKUP_ACTIVE_EN=1时将此位设置为'1'。它用于控制外部负载。
- **CFG[INTG_PSWTCH_WKUP_EN]**: 低功耗模式下的VBAT启用位。
在MCU退出任何低功耗模式时, 将此位设置为'1', 就可以启用灵巧电源开关。它用于在MCU退出低功耗模式时通过灵巧电源开关启用器件的主电源。
- **CFG[INTG_PSWTCH_SLEEP_EN]**: 低功耗模式下的VBAT禁用位。
在MCU进入任何低功耗模式时, 将此位设置为'1', 就可以禁用灵巧电源开关。它用于在MCU进入低功耗模式时通过灵巧电源开关禁用器件的主电源。

6.2.2 状态A (STATUSA)

- **STATUSA[LDO_RDY]**: 只读状态位。
可通过检查此位来确定LDO RAM保持稳压器是否已启用且稳定。LDO RAM被启用时, 此位设置为'1'。
- **STATUSA[TIMER1_FLAG]**: 带隙定时器1的状态位。
此位设置为'1'表示带隙定时器1已超时。软件必须负责在超时事件后通过将此位写为'1'来清除此位。
- **STATUSA[TIMER0_FLAG]**: 带隙定时器0的状态位。
此位设置为'1'表示带隙定时器0已超时。软件必须负责在超时事件后通过将此位写为'1'来清除此位。
- **STATUSA[WAKEUP_FLAG]**: 器件上外部SWITCH_WAKEUP_B引脚的状态位。
此位设置为'1'表示外部唤醒引脚已被拉低。软件必须负责在唤醒按钮按下事件后检查并通过将此位写为'1'来清除此位。
- **STATUSA[POR_DET]**: VBAT上电复位检测事件的状态位。
此位在VBAT POR后设置为'1'。软件必须负责在VBAT POR事件后通过将此位写为'1'来清除此位。

6.2.3 唤醒使能A (WAKENA)

- **WAKENA [TIMER1_FLAG]**: 此位可以设置为'1', 以在带隙定时器1超时时打开智能电源开关。将此位设置为'0'将禁用此功能。

- **WAKENA [TIMER0_FLAG]**: 此位可以设置为'1'，以在带隙定时器0超时时打开灵巧电源开关。将此位设置为'0'将禁用此功能。
- **WAKENA [WAKEUP_FLAG]**: 此位可以设置为'1'，以在外部SWITCH_WAKEUP_B信号被拉低时打开灵巧电源开关。将此位设置为'0'将禁用此功能。

6.2.4 FRO16K控制A (FROCTLA)

- **FROCTLA[FRO_EN]**: 将此位设置为'1'，可启用VBAT FRO16K振荡器。该振荡器默认启用。在使用带隙定时器或LDO RAM保持稳压器之前，请确保已启用FRO16K振荡器。

6.2.5 LDO RAM控制A (LDOCTLA)

- **LDOCTLA[REFRESH_EN]**: 此位启用LDO RAM刷新模式，这样可以降低LDO的功耗。将此位设置为'1'后，LDO RAM进入刷新模式。
- **LDOCTLA[LDO_EN]**: 此位激活LDO RAM。在将此位设置为'1'以启用LDO RAM稳压器之前，需要按照[第6.1.2.1节](#)中描述的顺序进行操作。
- **LDOCTLA[BG_EN]**: 此位启用LDO RAM带隙，这是LDO RAM启用顺序的一部分。将此位设置为'1'，可启用LDO RAM带隙。

6.2.6 RAM控制 (LDORAMC)

- **LDORAMC[SWI]**: 此位用于在VDD_CORE域和VBAT LDO RAM之间选择SRAM保持内存的电源。要选择LDO RAM，需要将SWI设置为1。要选择VDD_CORE，SWI必须设置为0。在选择VBAT LDO RAM作为SRAM保持内存的电源之前，需要将LDORAMC[ISO]设置为1。
- **LDORAMC[ISO]**: 要将SRAM内存的电源与其余内存部分隔离开来，并在将SRAM的电源切换为VBAT LDO RAM之前将阵列置于低功耗保持模式，必须将此位设置为'1'。

6.2.7 带隙定时器0 (LDOTIMER0)

- **LDOTIMER0[TIMEN]**: 将此位设置为'1'以启用带隙定时器0。写入此位后定时器立即开始计数。因此，在带隙定时器启用序列中，必须最后写入此位。在更新VBAT超时之前，请确保此位已禁用，TIMEN=0。
- **LDOTIMER0[TIMCFG]**: 此3位字段配置带隙定时器0的超时值。

[表26](#)列出了超时选项。

表26. 带隙定时器0

LDOTIMER0[TIMCFG]	带隙定时器0的超时时间
000b	1 s
001b	500 ms
010b	250 ms
011b	125 ms
100b	62.5 ms
101b	31.25 ms
110b	15.625 ms
111b	7.8125 ms

6.2.8 带隙定时器1 (LDOTIMER1)

- **LDOTIMER1[TIMEN]**: 将此位设置为‘1’以启用带隙定时器1。写入此位后定时器立即开始计数。因此，在带隙定时器启用序列中，必须最后写入此位。在更新VBAT超时之前，请确保此位已禁用，TIMEN=0。
- **LDOTIMER1[TIMCFG]**: 此24位字段配置带隙定时器1的超时值。配置范围为1秒到65,535秒，TIMCFG值每增加1，超时值以1秒的分辨率递增。

6.3 灵巧电源开关的电气特性

表27总结了灵巧电源开关的核心参数。SWITCH_WAKEUP_B焊盘通过一个电阻在内部上拉至开关输入端，也可以将其下拉以唤醒灵巧电源开关。为了成功生成有效的内部唤醒信号，SWITCH_WAKEUP_B下拉电压的最大值为0.7V，持续时间必须大于1μs。

表27. 灵巧电源开关的核心规格

符号	说明	最小值	典型值	最大值	单位
V_SWITCH_IN	VDD_SWITCH输入电压	1.9	-	3.6	V
I_SWITCH_OUT	灵巧电源开关输出负载电流	-	-	40	mA
Ron	开启状态下的开关串联电阻	-	-	3	Ω
I_leakage1	V_SWITCH_IN=2.7V、温度为25°C时的典型漏电流	-	4	-	nA
I_leakage2	V_SWITCH_IN=3.3V、温度为25°C时的最大漏电流	-	-	1	μA

7 应用初始化要求

本节提供了一些软件示例，用于说明如何控制本文档中介绍的MCXW71 MCU电源管理模块的功能和配置。

7.1 DC-DC软件启用

本节提供了两个API示例，用于说明如何在MCU以活动模式和低功耗模式运行时配置DC-DC。它展示了如何配置每个电压选项，以及如何在考虑DC-DC限制的情况下将驱动强度模式设置为正常、低驱动或脉冲刷新模式。

7.1.1 活动模式下的DC-DC电压和驱动模式选择

以下代码片段展示了一个API示例，介绍了如何在活动模式下（MCU处于活动模式）配置DC-DC输出电压和驱动强度模式。gApp_SetDCDCParametersActiveMode API有两个输入：

- DC-DC电压
- DC-DC驱动强度模式

有效的输入参数可以在DC-DC电压和驱动强度模式的枚举类型原型中找到。当输入参数不正确时，此API会拒绝电压和驱动强度模式。在这种情况下，当DC-DC=2.5V且处于低驱动强度模式时，DC-DC配置模式无效。在应用程序启动期间、退出低功耗模式后或在执行期间需要调整DC-DC电压或驱动模式时，都会调用此API。


```
typedef enum
{
    gDCDCVoltage1P25,
    gDCDCVoltage1P35,
    gDCDCVoltage2P5,
    gDCDCVoltage1P8
}eDCDCVoltageLvl;

typedef enum
{
    gDCDCPulsedRefresh,
    gDCDCDriveStrengthLow,
    gDCDCDriveStrengthNormal
}eDCDCDriveStrengthMode;

void gApp_SetDCDCParametersActiveMode(eDCDCVoltageLvl
    gDCDC_Voltage, eDCDCDriveStrengthMode gDCDC_DriveStrength)
{
    uint32_t g_DcdcTempConfig;
    /* Return if the DCDC Voltage option is not valid */
    if(gDCDC_Voltage > gDCDCVoltage1P8)
    {
        return;
    }

    /* Return if the DCDC Drive strength option is not valid */
    if(gDCDCDriveStrengthLow > gDCDC_DriveStrength ||
        gDCDC_DriveStrength > gDCDCDriveStrengthNormal)
    {
        return;
    }

    /* Return if the DCDC voltage selection is 2.5V in low drive
    strength, this is not a valid configuration */
    if(gDCDCVoltage2P5 == gDCDC_Voltage &&
        (gDCDCDriveStrengthNormal != gDCDC_DriveStrength))
    {
        return;
    }

    /* To enable the DCDC option at 2.5V, it is necessary set
    VOUT2P5_SEL, otherwise, this bit must be disabled */
    if(gDCDCVoltage2P5 == gDCDC_Voltage)
    {
        SPC0->DCDC_CFG |= SPC_DCDC_CFG_VOUT2P5_SEL_MASK;
    }
    else
    {
        SPC0->DCDC_CFG &= ~SPC_DCDC_CFG_VOUT2P5_SEL_MASK;
    }

    /* To set the DCDC in low drive strength mode when DCDC is
    in active mode, it is necessary set the voltage selection in
    LP_CFG register as well */
    if(gDCDCDriveStrengthLow == gDCDC_DriveStrength)
    {
        g_DcdcTempConfig = SPC0->LP_CFG;
```

```
g_DcdcTempConfig &= ~SPC_LP_CFG_DCDC_VDD_LVL_MASK;
g_DcdcTempConfig |=
SPC_LP_CFG_DCDC_VDD_LVL(gDCDC_Voltage);
SPC0->LP_CFG = g_DcdcTempConfig;

/* Wait the SPC to be steady */
while(SPC0->SC & SPC_SC_BUSY_MASK);
}

/* Set the DCDC voltage and drive strength mode */
g_DcdcTempConfig = SPC0->ACTIVE_CFG;
g_DcdcTempConfig &= ~(SPC_ACTIVE_CFG_DCDC_VDD_LVL_MASK |
SPC_ACTIVE_CFG_DCDC_VDD_DS_MASK);
g_DcdcTempConfig |=
(SPC_ACTIVE_CFG_DCDC_VDD_LVL(gDCDC_Voltage) |
SPC_ACTIVE_CFG_DCDC_VDD_DS(gDCDC_DriveStrength));
SPC0->ACTIVE_CFG = g_DcdcTempConfig;

/* Wait the SPC to be steady */
while(SPC0->SC & SPC_SC_BUSY_MASK);
}
```

7.1.2 低功耗模式下的DC-DC电压和驱动模式选择

以下代码片段展示了一个API示例，介绍了如何在低功耗模式下（当MCU处于任何低功耗模式，例如睡眠、深度睡眠、掉电）配置DC-DC输出电压和驱动强度模式。gApp_SetDCDCParametersLowPowerMode API有两个输入：

- DC-DC电压
- DC-DC驱动强度模式

有效的输入参数可以在DC-DC电压和驱动强度模式的枚举类型原型中找到。当输入参数不正确时，此API会拒绝电压和驱动强度模式。在这种情况下，当DC-DC=2.5V且处于低驱动强度模式时，DC-DC配置模式无效。只有在应用程序进入低功耗模式之前，才会调用此API。

```
typedef enum
{
    gDCDCVoltage1P25,
    gDCDCVoltage1P35,
    gDCDCVoltage2P5,
    gDCDCVoltage1P8
}eDCDCVoltageLvl;

typedef enum
{
    gDCDCPulsedRefresh,
    gDCDCDriveStrengthLow,
    gDCDCDriveStrengthNormal
}eDCDCDriveStrengthMode;

void gApp_SetDCDCParametersLowPowerMode(eDCDCVoltageLvl
gDCDC_Voltage, eDCDCDriveStrengthMode gDCDC_DriveStrength,
uint16_t gDCDC_PulseRefreshCnt)
{
    uint32_t g_DcdcTempConfig;

    /* Return if the DCDC Voltage option is not valid */
```

```
{
    return;
}

/* Return if the DCDC Drive strength option is not valid */
if(gDCDC_DriveStrength > gDCDCDriveStrengthNormal)
{
    return;
}

/* Return if the DCDC voltage selection is 2.5V and DCDC
is not in normal drive strength mode, this is not a valid
configuration */
if(gDCDCVoltage2P5 == gDCDC_Voltage &&
(gDCDCDriveStrengthNormal != gDCDC_DriveStrength))
{
    return;
}

/* To enable the DCDC option at 2.5V, it is necessary set
VOUT2P5_SEL, otherwise, this bit must be disabled */
if(gDCDCVoltage2P5 == gDCDC_Voltage)
{
    SPC0->DCDC_CFG |= SPC_DCDC_CFG_VOUT2P5_SEL_MASK;
}
else
{
    SPC0->DCDC_CFG &= ~SPC_DCDC_CFG_VOUT2P5_SEL_MASK;
}

/* Procedure to set the DCDC in Pulsed Refresh Mode. Only
valid for Deep Sleep and Power Down Modes */
if(gDCDCPulsedRefresh == gDCDC_DriveStrength)
{
    /* Disable LVD and HVD in all power domains, this is
    required in Pulsed Refresh Mode */
    SPC0->LP_CFG &= ~(SPC_LP_CFG_IO_HVDE_MASK |
    SPC_LP_CFG_SYS_HVDE_MASK | SPC_LP_CFG_CORE_HVDE_MASK | \
    SPC_LP_CFG_IO_LVDE_MASK |
    SPC_LP_CFG_SYS_LVDE_MASK | SPC_LP_CFG_CORE_LVDE_MASK);

    /* Set the DCDC Pulse Refresh Counter Value */
    SPC0->DCDC_BURST_CFG = (SPC0->DCDC_BURST_CFG
    & ~SPC_DCDC_BURST_CFG_PULSE_REFRESH_CNT_MASK) |
    SPC_DCDC_BURST_CFG_PULSE_REFRESH_CNT(gDCDC_PulseRefreshCnt);
}

/* Set the DCDC voltage and drive strength mode */
g_DcdcTempConfig = SPC0->LP_CFG;
g_DcdcTempConfig &= ~(SPC_LP_CFG_DCDC_VDD_LVL_MASK |
    SPC_LP_CFG_DCDC_VDD_DS_MASK);
g_DcdcTempConfig |= (SPC_LP_CFG_DCDC_VDD_LVL(gDCDC_Voltage) |
    SPC_LP_CFG_DCDC_VDD_DS(gDCDC_DriveStrength));
SPC0->LP_CFG = g_DcdcTempConfig;

/* Wait the SPC to be steady */
while(SPC0->SC & SPC_SC_BUSY_MASK);
}
```

7.2 LDO内核和LDO系统稳压器的软件启用

本节提供了两个API示例，介绍如何在MCU以活动模式和低功耗模式运行时配置LDO-CORE和LDO-SYS。它展示了如何配置每个电压选项，并在考虑每个LDO的限制的情况下将驱动强度模式设置为正常或低驱动。

7.2.1 活动模式下的LDO电压和驱动模式选择

以下代码片段展示了一个API示例，介绍如何在活动模式（MCU处于活动模式）下配置LDO输出电压和驱动强度模式。gApp_SetLDOParametersActiveMode API有三个输入：

- LDO内核稳压器电压
- LDO系统稳压器电压
- LDO系统稳压器驱动强度模式

有效的输入参数可以在枚举类型原型中找到。当输入参数不正确时，此API会拒绝电压和驱动强度模式。在这种情况下，LDO配置模式无效。在应用程序启动期间、退出低功耗模式后或在执行期间需要调整DC-DC电压或驱动模式时，才会调用此API。

```
typedef enum
{
    gLDOCoreVoltage1P0 = 1,
    gLDOCoreVoltage1P1,
    gLDOCoreVoltage1P5
}eLDOCoreVoltageLvl;

typedef enum
{
    gLDOSysVoltage1P8,
    gLDOSysVoltage2P5
}eLDOSysVoltageLvl;

typedef enum
{
    gLDOSysDriveStrengthLow,
    gLDOSysDriveStrengthNormal
}eLDOSysDriveStrengthMode;

void gApp_SetLDOParametersActiveMode(eLDOCoreVoltageLvl
    gLDOCore_Voltage, eLDOSysVoltageLvl gLDOSys_Voltage,
    eLDOSysDriveStrengthMode gLDOSys_DriveStrength)
{
    uint32_t g_LDOTempConfig;

    /* Return if the LDO Core Voltage is out of the range */
    if(gLDOCoreVoltage1P0 > gLDOCore_Voltage || gLDOCore_Voltage
        > gLDOCoreVoltage1P5)
    {
        return;
    }

    /* Return if the LDO Sys Voltage is out of the range */
    if(gLDOSys_Voltage > gLDOSysVoltage2P5)
    {
        return;
    }

    /* Return if the LDO Sys Drive strength option is not valid */
```

```
if(gLDOSys_DriveStrength > gLDOSysDriveStrengthNormal)
{
    return;
}

/* Return if the LDO Sys voltage selection is 2.5V and LDO
Sys is not in normal drive strength mode, this is not a valid
configuration */
if(gLDOSysVoltage2P5 == gLDOSys_Voltage &&
(gLDOSysDriveStrengthNormal != gLDOSys_DriveStrength))
{
    return;
}

/* It is required to disable the LVD and HVD in all power
domains to set the LDO low drive strength mode */
if(gLDOSysDriveStrengthLow == gLDOSys_DriveStrength)
{
    /* Disable LVD and HVD in all power domains, this is
required for LDO Low Drive Strength mode */
    SPC0->ACTIVE_CFG &= ~(SPC_ACTIVE_CFG_IO_HVDE_MASK |
        SPC_ACTIVE_CFG_SYS_HVDE_MASK | SPC_ACTIVE_CFG_CORE_HVDE_MASK |
        SPC_ACTIVE_CFG_IO_LVDE_MASK | SPC_ACTIVE_CFG_SYS_LVDE_MASK |
        SPC_ACTIVE_CFG_CORE_LVDE_MASK);
}

/* Set the LDO voltage drive strength mode */
g_LDOTempConfig = SPC0->ACTIVE_CFG;
g_LDOTempConfig &= ~(SPC_ACTIVE_CFG_CORELDO_VDD_LVL_MASK
    | SPC_ACTIVE_CFG_SYSLDO_VDD_LVL_MASK |
    SPC_ACTIVE_CFG_SYSLDO_VDD_DS_MASK);
g_LDOTempConfig |=
    (SPC_ACTIVE_CFG_CORELDO_VDD_LVL(gLDOCore_Voltage)
    | SPC_ACTIVE_CFG_SYSLDO_VDD_LVL(gLDOSys_Voltage) |
    SPC_ACTIVE_CFG_SYSLDO_VDD_DS(gLDOSys_DriveStrength));
SPC0->ACTIVE_CFG = g_LDOTempConfig;

/* Wait the SPC to be steady */
while(SPC0->SC & SPC_SC_BUSY_MASK);
}
```

7.2.2 低功耗模式下的LDO电压和驱动模式选择

以下代码片段展示了一个API示例，介绍如何在低功耗模式下（当MCU处于任何低功耗模式，例如睡眠、深度睡眠、掉电）配置LDO输出电压和驱动强度模式。gApp_SetLDOParametersLowPowerMode API有三个输入：

- LDO内核稳压器电压
- LDO内核稳压器驱动强度模式
- LDO系统稳压器驱动强度模式

有效的输入参数可以在枚举类型原型中找到。当输入参数不正确时，此API会拒绝电压和驱动强度模式。在这种情况下，LDO配置模式无效。只有在应用程序进入低功耗模式之前，才会调用此API。

```
typedef enum
{
    gLDOCoreVoltage1P0 = 1,
```

```
    gLDOCoreVoltagePl1,
    gLDOCoreVoltagePl5
}eLDOCoreVoltageLvl;

typedef enum
{
    gLDOCoreDriveStrengthLow,
    gLDOCoreDriveStrengthNormal
}eLDOCoreDriveStrengthMode;

typedef enum
{
    gLDOSysDriveStrengthLow,
    gLDOSysDriveStrengthNormal
}eLDOSysDriveStrengthMode;

void gApp_SetLDOParametersLowPowerMode(eLDOCoreVoltageLvl
    gLDOCore_Voltage, eLDOCoreDriveStrengthMode
    gLDOCore_DriveStrength, eLDOSysDriveStrengthMode
    gLDOSys_DriveStrength)
{
    uint32_t g_LDOTempConfig;

    /* Return if the LDO Core Voltage is out of the range */
    if(gLDOCoreVoltagePl0 > gLDOCore_Voltage || gLDOCore_Voltage
        > gLDOCoreVoltagePl5)
    {
        return;
    }

    /* Return if the LDO Core Drive strength option is not valid */
    if(gLDOCore_DriveStrength > gLDOCoreDriveStrengthNormal)
    {
        return;
    }

    /* Return if the LDO Sys Drive strength option is not valid */
    if(gLDOSys_DriveStrength > gLDOSysDriveStrengthNormal)
    {
        return;
    }

    /* To update the LDO Core voltage, it is mandatory set the
       LDO Core in Normal Drive Strength */
    SPC0->LP_CFG |= SPC_LP_CFG_CORELDO_VDD_DS_MASK;

    /* Wait the SPC to be steady */
    while(SPC0->SC & SPC_SC_BUSY_MASK);

    /* The procedure to update the LDO Core voltage depends on
       the selected drive strength mode */
    if(gLDOCoreDriveStrengthLow == gLDOCore_DriveStrength)
    {
        /* Disable LVD and HVD in all power domains, this is
           required for LDO Low Drive Strength mode */
        SPC0->LP_CFG &= ~(SPC_LP_CFG_IO_HVDE_MASK |
            SPC_LP_CFG_SYS_HVDE_MASK | SPC_LP_CFG_CORE_HVDE_MASK |
            SPC_LP_CFG_IO_LVDE_MASK | SPC_LP_CFG_SYS_LVDE_MASK |
            SPC_LP_CFG_CORE_LVDE_MASK);
    }
}
```

```
/* To update the LDO Core voltage in low drive strength,
   ACTIVE and LP registers should have the same LDO Core
   voltage value */

/* Set the LDO Core voltage in the ACTIVE_CFG register */
g_LDOTempConfig = SPC0->ACTIVE_CFG;
g_LDOTempConfig &= ~SPC_ACTIVE_CFG_CORELDO_VDD_LVL_MASK;
g_LDOTempConfig |=
    SPC_ACTIVE_CFG_CORELDO_VDD_LVL(gLDOCore_Voltage);
SPC0->ACTIVE_CFG = g_LDOTempConfig;

/* Wait the SPC to be steady */
while(SPC0->SC & SPC_SC_BUSY_MASK);

/* Set the LDO Core voltage and drive strength mode in
   the LP_CFG register */

/* Set the LDO Sys drive mode */
g_LDOTempConfig = SPC0->LP_CFG;
g_LDOTempConfig &= ~(SPC_LP_CFG_CORELDO_VDD_LVL_MASK
    | SPC_LP_CFG_CORELDO_VDD_DS_MASK |
    SPC_LP_CFG_SYSLDO_VDD_DS_MASK);
g_LDOTempConfig |=
    (SPC_LP_CFG_CORELDO_VDD_LVL(gLDOCore_Voltage) |
    SPC_LP_CFG_CORELDO_VDD_DS(gLDOCore_DriveStrength) |
    SPC_LP_CFG_SYSLDO_VDD_DS(gLDOSys_DriveStrength));
SPC0->LP_CFG = g_LDOTempConfig;

/* Wait the SPC to be steady */
while(SPC0->SC & SPC_SC_BUSY_MASK);
}
else
{
    /* It is required to disable the LVD and HVD in all power
       domains to set the LDO Sys low drive strength mode */
    if(gLDOSysDriveStrengthLow == gLDOSys_DriveStrength)
    {
        /* Disable LVD and HVD in all power domains, this is
           required for LDO Low Drive Strength mode */
        SPC0->LP_CFG &= ~(SPC_LP_CFG_IO_HVDE_MASK |
            SPC_LP_CFG_SYS_HVDE_MASK | SPC_LP_CFG_CORE_HVDE_MASK |
            SPC_LP_CFG_IO_LVDE_MASK | SPC_LP_CFG_SYS_LVDE_MASK |
            SPC_LP_CFG_CORE_LVDE_MASK);
    }

    /* If LDO Core is configured in normal drive, it is only
       necessary set the LDO Core voltage */

    /* Set the LDO Sys drive mode */
    g_LDOTempConfig = SPC0->LP_CFG;
    g_LDOTempConfig &= ~(SPC_LP_CFG_CORELDO_VDD_LVL_MASK |
        SPC_LP_CFG_SYSLDO_VDD_DS_MASK);
    g_LDOTempConfig |=
        (SPC_LP_CFG_CORELDO_VDD_LVL(gLDOCore_Voltage) |
        SPC_LP_CFG_SYSLDO_VDD_DS(gLDOSys_DriveStrength));
    SPC0->LP_CFG = g_LDOTempConfig;

    /* Wait the SPC to be steady */
    while(SPC0->SC & SPC_SC_BUSY_MASK);
}
```



```
}
```

7.3 灵巧电源开关的软件启用

本节提供了两个API示例，介绍如何配置灵巧电源开关来从外部SWITCH_WAKEUP_B引脚和带隙定时器唤醒。

7.3.1 从SWITCH_WAKEUP_B引脚关闭和唤醒

以下代码片段展示了一个API示例，介绍如何配置智能电源开关来从SWITCH_WAKEUP_B引脚唤醒，并在低功耗进入序列中禁用该开关。

完成唤醒序列并清除VBAT标志需要gApp_VBATShutdownExit API。应用程序在断电后的恢复序列中调用gApp_VBATShutdownExit。

gApp_VBATShutdownEntrySwitchWakeupB API用于对灵巧电源开关进行编程，以便在器件进入低功耗模式后自动禁用此开关。应用程序在启动低功耗进入序列之前调用gApp_VBATShutdownEntrySwitchWakeupB。成功的低功耗进入序列会禁用此开关。

```
void gApp_VBATShutdownExit(void)
{
    /* Clear all status flags */
    VBAT0->STATUSA |= (VBAT_STATUSA_POR_DET_MASK | VBAT_STATUSA_WAKEUP_FLAG_MASK |
        VBAT_STATUSA_TIMER0_FLAG_MASK | VBAT_STATUSA_TIMER1_FLAG_MASK);
    VBAT0->WAKENA &= ~(VBAT_WAKENA_POR_DET_MASK | VBAT_WAKENA_WAKEUP_FLAG_MASK |
        VBAT_WAKENA_TIMER0_FLAG_MASK | VBAT_WAKENA_TIMER1_FLAG_MASK);

    /* Disable Bandgap timers if any is in use to prevent be triggered */
    VBAT0->LDOTIMER0 &= ~VBAT_LDOTIMER0_TIMEN_MASK;
    VBAT0->LDOTIMER1 &= ~VBAT_LDOTIMER1_TIMEN_MASK;

    /* Complete the VBAT turn on sequence */
    SPC0->CFG = SPC_CFG_INTG_PWSWTCH_WKUP_ACTIVE_EN_MASK;
}

void gApp_VBATShutdownEntrySwitchWakeupB(void)
{
    /* Set the SWITCH_WAKEUP_B pin as VBAT wakeup source */
    VBAT0->WAKENA |= VBAT_WAKENA_WAKEUP_FLAG_MASK;

    /* Prepare VBAT to be disabled in low power and enabled in device wake up */
    SPC0->CFG = SPC_CFG_INTG_PWSWTCH_SLEEP_EN_MASK |
        SPC_CFG_INTG_PWSWTCH_WKUP_EN_MASK;
}
```

7.3.2 从带隙定时器关闭和唤醒

以下代码片段展示了一个API示例，介绍如何配置灵巧电源开关来在带隙定时器1超时后唤醒，并在低功耗进入序列中禁用开关。

完成唤醒序列并清除VBAT标志需要gApp_VBATShutdownExit API。应用程序在断电后的恢复序列中调用gApp_VBATShutdownExit。

gApp_VBATShutdownEntryBandgapTmr1 API用于对灵巧电源开关进行编程，以便在器件进入低功耗模式后自动禁用此开关。应用程序在启动低功耗进入序列之前调用gApp_VBATShutdownEntryBandgapTmr1。成功的低功耗进入序列会禁用此开关。

```
void gApp_VBATShutdownExit(void)
{
    /* Clear all status flags */
    VBAT0->STATUSA |= (VBAT_STATUSA_POR_DET_MASK | VBAT_STATUSA_WAKEUP_FLAG_MASK |
        VBAT_STATUSA_TIMER0_FLAG_MASK | VBAT_STATUSA_TIMER1_FLAG_MASK);
    VBAT0->WAKENA &= ~(VBAT_WAKENA_POR_DET_MASK | VBAT_WAKENA_WAKEUP_FLAG_MASK |
        VBAT_WAKENA_TIMER0_FLAG_MASK | VBAT_WAKENA_TIMER1_FLAG_MASK);

    /* Disable Bandgap timers if any is in use to prevent be triggered */
    VBAT0->LDOTIMER0 &= ~VBAT_LDOTIMER0_TIMEN_MASK;
    VBAT0->LDOTIMER1 &= ~VBAT_LDOTIMER1_TIMEN_MASK;

    /* Complete the VBAT turn on sequence */
    SPC0->CFG = SPC_CFG_INTG_PSWTCH_WKUP_ACTIVE_EN_MASK;
}

void gApp_VBATShutdownEntryBandgapTmr1(uint16_t gVBAT_BandgapTimeout)
{
    /* Set the Bandgap Timer 1 as VBAT wakeup source */
    VBAT0->WAKENA |= VBAT_WAKENA_TIMER1_FLAG_MASK;

    /* Enable FRO16K oscillator */
    VBAT0->FROCTLA |= VBAT_FROCTLA_FRO_EN_MASK;

    /* Enable LDO RAM bandgap in refresh mode */
    VBAT0->LDOCTLA |= VBAT_LDOCTLA_BG_EN_MASK | VBAT_LDOCTLA_REFRESH_EN_MASK;

    /* Configure the Bandgap Timer 1 timeout and start the timer */
    VBAT0->LDOTIMER1 = ((VBAT0->LDOTIMER1 & ~VBAT_LDOTIMER1_TIMCFG_MASK) |
        VBAT_LDOTIMER1_TIMCFG(gVBAT_BandgapTimeout));
    VBAT0->LDOTIMER1 |= VBAT_LDOTIMER1_TIMEN_MASK;

    /* Prepare VBAT to be disabled in low power and enabled in device wake up */
    SPC0->CFG = SPC_CFG_INTG_PSWTCH_SLEEP_EN_MASK |
        SPC_CFG_INTG_PSWTCH_WKUP_EN_MASK;
}
```

8 关于本文中源代码的说明

本文中所示的示例代码具有以下版权和BSD-3-Clause许可：

2024年恩智浦版权所有；在满足以下条件的情况下，可以源代码和二进制文件的形式重新分发和使用本源代码（无论是否经过修改）：

- 重新分发源代码必须保留上述版权声明、这些条件和以下免责声明。
- 以二进制文件形式重新分发时，必须在文档和/或随分发提供的其他材料中复制上述版权声明、这些条件和以下免责声明。
- 未经事先书面许可，不得使用版权所有者的姓名或参与者的姓名为本软件的衍生产品进行背书或推广。

本软件由版权所有者和参与者“按原样”提供，不承担任何明示或暗示的担保责任，包括但不限于对适销性和特定用途适用性的暗示保证。在任何情况下，无论因何种原因或根据何种法律条例，版权所有或参与者均不对因使用本软件而导致的任何直接、间接、偶然、特殊、惩戒性或后果性损害（包括但不限于采购替代商品或服务；使用损失、数据损失或利润损失或业务中断）承担责任，无论是因合同、严格责任还是侵权行为（包括疏忽或其他原因）造成的，即使事先被告知有此类损害的可能性也不例外。

9 修订历史

[表28](#)总结了对本文的修订情况。

表28. 修订历史

文档编号	发布日期	说明
AN14387 v.1.0	2024年9月10日	首次公开发布

Legal information

Definitions

Draft — A draft status on a document indicates that the content is still under internal review and subject to formal approval, which may result in modifications or additions. NXP Semiconductors does not give any representations or warranties as to the accuracy or completeness of information included in a draft version of a document and shall have no liability for the consequences of use of such information.

Disclaimers

Limited warranty and liability — Information in this document is believed to be accurate and reliable. However, NXP Semiconductors does not give any representations or warranties, expressed or implied, as to the accuracy or completeness of such information and shall have no liability for the consequences of use of such information. NXP Semiconductors takes no responsibility for the content in this document if provided by an information source outside of NXP Semiconductors.

In no event shall NXP Semiconductors be liable for any indirect, incidental, punitive, special or consequential damages (including - without limitation - lost profits, lost savings, business interruption, costs related to the removal or replacement of any products or rework charges) whether or not such damages are based on tort (including negligence), warranty, breach of contract or any other legal theory.

Notwithstanding any damages that customer might incur for any reason whatsoever, NXP Semiconductors' aggregate and cumulative liability towards customer for the products described herein shall be limited in accordance with the Terms and conditions of commercial sale of NXP Semiconductors.

Right to make changes — NXP Semiconductors reserves the right to make changes to information published in this document, including without limitation specifications and product descriptions, at any time and without notice. This document supersedes and replaces all information supplied prior to the publication hereof.

Suitability for use — NXP Semiconductors products are not designed, authorized or warranted to be suitable for use in life support, life-critical or safety-critical systems or equipment, nor in applications where failure or malfunction of an NXP Semiconductors product can reasonably be expected to result in personal injury, death or severe property or environmental damage. NXP Semiconductors and its suppliers accept no liability for inclusion and/or use of NXP Semiconductors products in such equipment or applications and therefore such inclusion and/or use is at the customer's own risk.

Applications — Applications that are described herein for any of these products are for illustrative purposes only. NXP Semiconductors makes no representation or warranty that such applications will be suitable for the specified use without further testing or modification.

Customers are responsible for the design and operation of their applications and products using NXP Semiconductors products, and NXP Semiconductors accepts no liability for any assistance with applications or customer product design. It is customer's sole responsibility to determine whether the NXP Semiconductors product is suitable and fit for the customer's applications and products planned, as well as for the planned application and use of customer's third party customer(s). Customers should provide appropriate design and operating safeguards to minimize the risks associated with their applications and products.

NXP Semiconductors does not accept any liability related to any default, damage, costs or problem which is based on any weakness or default in the customer's applications or products, or the application or use by customer's third party customer(s). Customer is responsible for doing all necessary testing for the customer's applications and products using NXP Semiconductors products in order to avoid a default of the applications and the products or of the application or use by customer's third party customer(s). NXP does not accept any liability in this respect.

Terms and conditions of commercial sale — NXP Semiconductors products are sold subject to the general terms and conditions of commercial sale, as published at <https://www.nxp.com.cn/profile/terms>, unless otherwise agreed in a valid written individual agreement. In case an individual agreement is concluded only the terms and conditions of the respective agreement shall apply. NXP Semiconductors hereby expressly objects to applying the customer's general terms and conditions with regard to the purchase of NXP Semiconductors products by customer.

Export control — This document as well as the item(s) described herein may be subject to export control regulations. Export might require a prior authorization from competent authorities.

Suitability for use in non-automotive qualified products — Unless this document expressly states that this specific NXP Semiconductors product is automotive qualified, the product is not suitable for automotive use. It is neither qualified nor tested in accordance with automotive testing or application requirements. NXP Semiconductors accepts no liability for inclusion and/or use of non-automotive qualified products in automotive equipment or applications.

In the event that customer uses the product for design-in and use in automotive applications to automotive specifications and standards, customer (a) shall use the product without NXP Semiconductors' warranty of the product for such automotive applications, use and specifications, and (b) whenever customer uses the product for automotive applications beyond NXP Semiconductors' specifications such use shall be solely at customer's own risk, and (c) customer fully indemnifies NXP Semiconductors for any liability, damages or failed product claims resulting from customer design and use of the product for automotive applications beyond NXP Semiconductors' standard warranty and NXP Semiconductors' product specifications.

HTML publications — An HTML version, if available, of this document is provided as a courtesy. Definitive information is contained in the applicable document in PDF format. If there is a discrepancy between the HTML document and the PDF document, the PDF document has priority.

Translations — A non-English (translated) version of a document, including the legal information in that document, is for reference only. The English version shall prevail in case of any discrepancy between the translated and English versions.

Security — Customer understands that all NXP products may be subject to unidentified vulnerabilities or may support established security standards or specifications with known limitations. Customer is responsible for the design and operation of its applications and products throughout their lifecycles to reduce the effect of these vulnerabilities on customer's applications and products. Customer's responsibility also extends to other open and/or proprietary technologies supported by NXP products for use in customer's applications. NXP accepts no liability for any vulnerability. Customer should regularly check security updates from NXP and follow up appropriately. Customer shall select products with security features that best meet rules, regulations, and standards of the intended application and make the ultimate design decisions regarding its products and is solely responsible for compliance with all legal, regulatory, and security related requirements concerning its products, regardless of any information or support that may be provided by NXP.

NXP has a Product Security Incident Response Team (PSIRT) (reachable at PSIRT@nxp.com) that manages the investigation, reporting, and solution release to security vulnerabilities of NXP products.

NXP B.V. — NXP B.V. is not an operating company and it does not distribute or sell products.

Trademarks

Notice: All referenced brands, product names, service names, and trademarks are the property of their respective owners.

NXP — wordmark and logo are trademarks of NXP B.V.

Bluetooth — the Bluetooth wordmark and logos are registered trademarks owned by Bluetooth SIG, Inc. and any use of such marks by NXP Semiconductors is under license.

目录

1	介绍.....	2	5.4	LDO的主要配置寄存器.....	38
2	MCXW71中的电源域.....	2	5.4.1	SPC稳压器控制寄存器 (CNTRL)	38
2.1	由各电源域供电的外设.....	3	5.4.2	活动电源模式配置寄存器 (ACTIVE_CFG)	38
2.2	电源域的额定电压.....	4	5.4.3	低功耗模式配置寄存器 (LP_CFG)	39
3	MCXW71的电源配置.....	5	5.4.4	LDO_CORE配置寄存器 (CORELDO_CFG)	40
3.1	MCXW71的旁路模式配置.....	5	5.4.5	LDO_SYS配置寄存器 (SYSLDO_CFG)	40
3.2	MCXW71的DC-DC降压模式配置	6	5.5	LDO的电气特性.....	40
3.3	MCXW71的PMIC模式配置	7	5.5.1	LDO内核稳压器的电气特性	40
3.4	智能电源开关控制的MCXW71 DC-DC模式	8	5.5.2	LDO系统稳压器的电气特性	41
4	DC-DC降压转换器	10	6	灵巧电源开关.....	42
4.1	启用和禁用DC-DC降压转换器	10	6.1	灵巧电源开关的硬件.....	42
4.1.1	DC-DC的时序特性.....	10	6.1.1	VBAT FRO16K和带隙定时器.....	42
4.2	DC-DC驱动强度模式.....	11	6.1.2	VBAT LDO RAM的保持和SRAM保持阵列	43
4.2.1	DC-DC活动模式	12	6.1.2.1	VBAT LDO RAM启用顺序.....	43
4.2.2	DC-DC脉冲刷新模式	12	6.1.2.2	使用VBAT LDO RAM稳压器为SRAM保持内存供电	43
4.2.2.1	DC-DC脉冲刷新模式的工作条件.....	13	6.1.3	VBAT开关控制.....	44
4.3	DC-DC的频率稳定功能	13	6.2	灵巧电源开关的主要配置寄存器	45
4.4	DC-DC突发同步	14	6.2.1	SPC配置寄存器 (CFG)	46
4.5	DC-DC在不同电源模式下的操作.....	14	6.2.2	状态A (STATUSA)	46
4.6	DC-DC的主配置寄存器	15	6.2.3	唤醒使能A (WAKENA)	46
4.6.1	SPC稳压器控制寄存器 (CNTRL)	15	6.2.4	FRO16K控制A (FROCTLA)	47
4.6.2	活动电源模式配置寄存器 (ACTIVE_CFG)	15	6.2.5	LDO RAM控制A (LDOCTLA)	47
4.6.3	低功耗模式配置寄存器 (LP_CFG)	16	6.2.6	RAM控制 (LDORAMC)	47
4.6.4	DC-DC配置寄存器 (DCDC_CFG)	17	6.2.7	带隙定时器0 (LDOTIMER0)	47
4.6.5	DC-DC突发配置寄存器 (DCDC_BURST_CFG)	17	6.2.8	带隙定时器1 (LDOTIMER1)	48
4.7	DC-DC的电气特性.....	17	6.3	灵巧电源开关的电气特性	48
4.7.1	DC-DC转换器的规格	17	7	应用初始化要求	48
4.7.2	DC-DC输出波形	18	7.1	DC-DC软件启用	48
4.7.3	DC-DC效率图	19	7.1.1	活动模式下的DC-DC电压和驱动模式选择	48
4.7.4	DC-DC脉冲刷新模式下的刷新周期	24	7.1.2	低功耗模式下的DC-DC电压和驱动模式选择.....	50
4.7.5	DC-DC频率稳定功能、DC-DC峰值电流和频谱成分	26	7.2	LDO内核和LDO系统稳压器的软件启用	52
4.7.6	DC-DC功率估算.....	30	7.2.1	活动模式下的LDO电压和驱动模式选择.....	52
5	LDO内核和LDO系统稳压器.....	34	7.2.2	低功耗模式下的LDO电压和驱动模式选择.....	53
5.1	启用和禁用LDO.....	34	7.3	灵巧电源开关的软件启用	56
5.1.1	LDO的时序特性.....	34	7.3.1	从SWITCH_WAKEUP_引脚关闭和唤醒	56
5.1.1.1	LDO内核稳压器的时序特性	34	7.3.2	从带隙定时器关闭和唤醒	56
5.1.1.2	LDO系统稳压器的时序特性	36	8	关于本文中源代码的说明	57
5.2	LDO驱动强度模式	37	9	修订历史.....	58
5.3	LDO在不同电源模式下的操作	37		法律声明.....	59

Please be aware that important notices concerning this document and the product(s) described herein, have been included in section 'Legal information'.