

1 介绍

KE15Z 系列微控制器提供触摸感应接口 (TSI)，可通过感应电容变化来识别手指触摸。TSI IP 支持多达 25 个触摸感应通道，并通过超范围或扫描结束中断将微控制器单元 (MCU) 从低功耗模式唤醒。传统上，低功耗应用程序使用定时器来定期唤醒 MCU，执行 TSI 通道扫描，并处理扫描结果以确定是否存在触摸事件。如果没有触摸，则 MCU 再次进入睡眠状态。这种方法的局限性是唤醒 MCU 会导致额外的功耗。本应用笔记说明了如何在不唤醒 MCU 的情况下使用 DMA 开发适用于低功耗应用的 TSI 软件，并实现了低功耗。测试结果表明，本文中描述的 DMA 方法消耗的电流低于 1 mA。

2 功能用法

2.1 TSI 在低功耗下工作

TSI IP 在电容式触摸传感器上提供触摸感应检测。外部电容式触摸传感器由在 PCB 上的电极形成，并且传感器电极通过芯片的 I/O 引脚连接到 TSI 输入通道。

2.1.1 使能 TSI 在低功耗下工作

通过设置 TSI_GENCS [STPE]，KE15Z TSI 在低功耗模式下可以完全运行，并且可以通过以下两种中断将 MCU 从低功耗模式唤醒：扫描结束和超出范围。

注意

TSI 扫描结果在正常运行和低功耗模式之间是不同的，因此您需要为正常运行和低功耗模式配置不同的超出阈值。

2.1.2 TSI 唤醒 MCU

通过配置 TSI_GENCS [ESOR] 使能 TSI 扫描结束事件。TSI 扫描完成时，TSI_GENCS [EOSF] 位置 1，表示 TSI 扫描结束，并且扫描结果在 TSI_DATA [TSICNT] 中可用。如果设置了 TSI_GENCS [TSIEN] 和 TSI_GENCS [ESOR]，并且

TSI_DATA [DMAEN] 清零，这样的话，TSI 扫描结束事件会触发中断上报给 MCU 以进行后处理，并且可以选择将 MCU 从低功耗模式唤醒。

通过配置 TSI_GENCS [ESOR] 也可以使能超出预设范围事件。启用后，TSI IP 将 TSI_DATA [TSICNT] 与 TSI_TSHD [HIGH] 和 TSI_TSHD [LOW] 进行比较，以检查 TSI_TSHD [HIGH] > TSI_DATA [TSICNT] > TSI_TSHD [LOW]。如果 TSI 扫描结果由于手指触摸而发生变化，则超出范围的中断会立即提交给 MCU，以进行进一步处理。当内核进入睡眠状态时，超出范围的中断对于将 MCU 从低功耗模式唤醒非常有用。该方法的局限性在于它只能监视给定的 TSI 通道。如果 MCU 无法在低功耗模式下执行代码，则无法更改 TSI 通道。

需要使用 DMA 更改 TSI 通道和相应的阈值，以便检测所有 TSI 通道上由于手指触摸导致的超出预设范围的触摸事件。

2.1.3 在低功耗模式下执行 TSI 扫描

通过配置 TSI_GENCS [STM] 位，TSI 模块允许软件或硬件触发方式来启动扫描。如果将 TSI_GENCS [STM] 位配置为 0，使能软件触发模式，则向 TSI_DATA [SWTS] 位写入 1 将立即开始 TSI 扫描，并且要扫描的 TSI 通道 ID 由 TSI_DATA [TSICH] 指

目录

1	介绍.....	1
2	功能用法.....	1
2.1	TSI 在低功耗下工作.....	1
2.2	DMA 传输功能.....	2
3	实现细节.....	2
3.1	DMA 和 TSI 的数据流.....	2
3.2	DMA 和 TSI 的时序.....	3
3.3	DMA 设置.....	4
4	参考文献.....	6
5	修订记录.....	6



定。如果将 TSI_GENCS [STM] 位配置为 1，则使能了硬件触发模式，TSI 在硬件触发到来之前不会开始扫描。硬件触发源可以通过 TRGMUX 的 LPTMR/LPIT。本应用笔记中使用软件触发模式，即 DMA 更改 TSI_DATA [TSICH] 并写入 TSI_DATA [SWTS] 以执行 TSI 扫描，而在低功耗模式下不涉及内核。

2.2 DMA 传输功能

KE15Z 支持 8 通道 eDMA (增强型直接内存访问)，最少的主机处理器干预即可执行复杂的数据传输。

本文档描述了 DMA 传输的通道链接功能。

通道链接是一种特殊的 eDMA 功能，用于链接多个 DMA 通道。通道链接是一种机制，通过设置通道 B 的 TCDn_CSR [START] 位，通道 A 在完成 DMA 后可以触发通道 B 或者通道 A 自己的 DMA 传输。

链接通道允许您通过定义要转换的通道序列来通过一个请求开始多次传输。该请求从一个 DMA 通道上的传输开始，当该通道结束时，触发下一个通道上的传输。通道链接是针对主要循环和次要循环完成分别定义的。

次要循环通道链接发生在次要循环的完成或主循环的一次迭代完成。TCDn_CITER [E_LINK] 字段确定是否使能次循环链接。启用后，将在主循环的每个迭代 (最后一次迭代除外) 之后进行通道链接。

当主循环的所有迭代完成时，发生主循环通道链接。主循环通道链接字段 (DMA_TCDn_CSR [MAJORELINK]) 用于确定是否应建立通道链接。

注意

在最后一个次要循环中没有次要循环通道链接。取而代之，主循环通道链接将触发下一个给定的 DMA 通道传输。

3 实现细节

3.1 DMA 和 TSI 的数据流

TSI 低功耗示例需要两个 DMA 通道。DMA 通道 0 将相应的阈值从 SRAM 传输到 TSI_TSHD 寄存器。DMA 通道 1 将 TSI 通道 ID 和启动扫描位从 SRAM 传输到 TSI_DATA 寄存器，以启动给定 TSI 通道的 TSI 扫描。通过 DMA 通道链接，完成 DMA 通道 0 次循环将启动 DMA 通道 1 传输，因此需要首先填写 TSI 预设范围的阈值，然后启动 TSI 扫描。

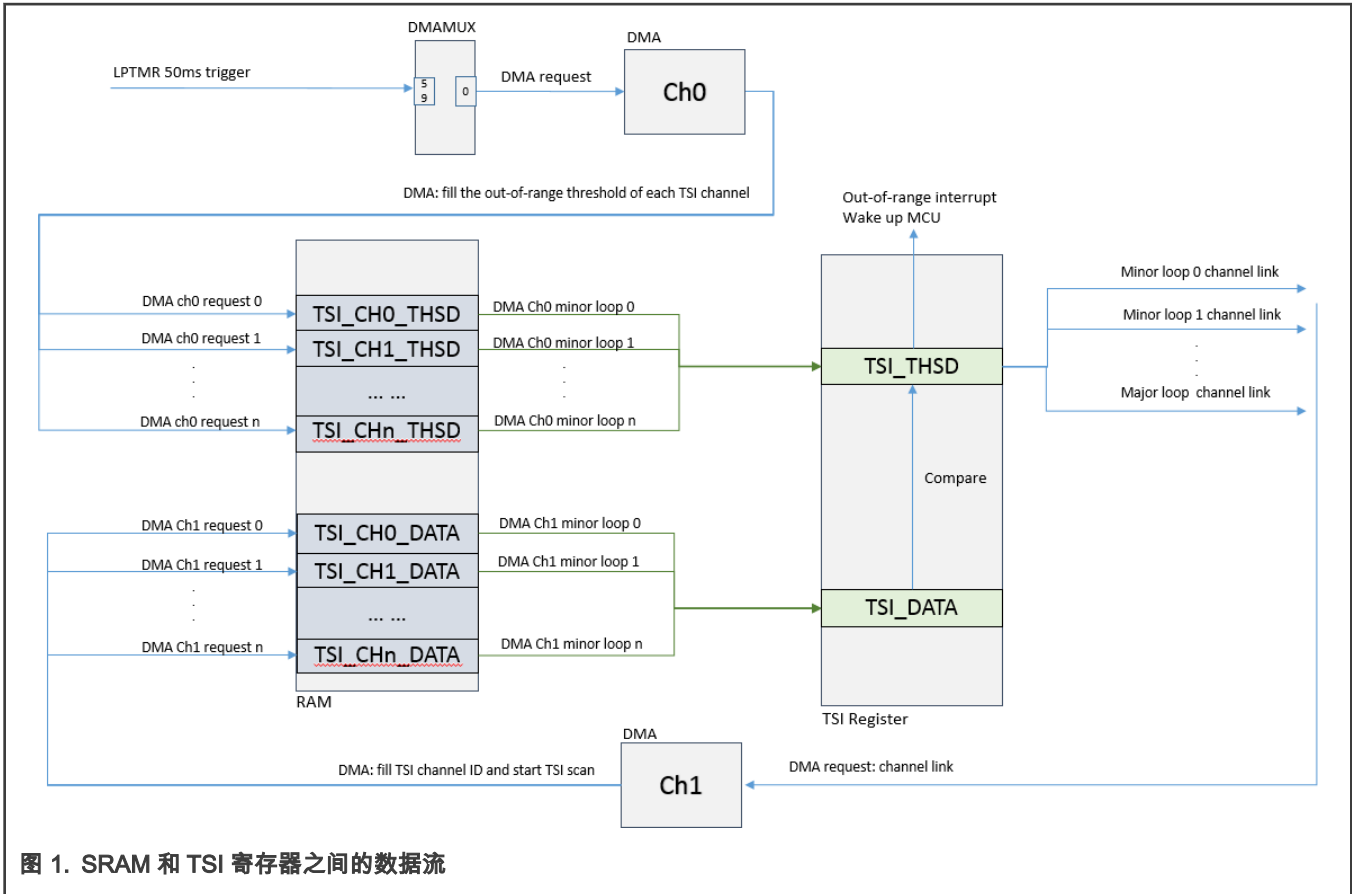
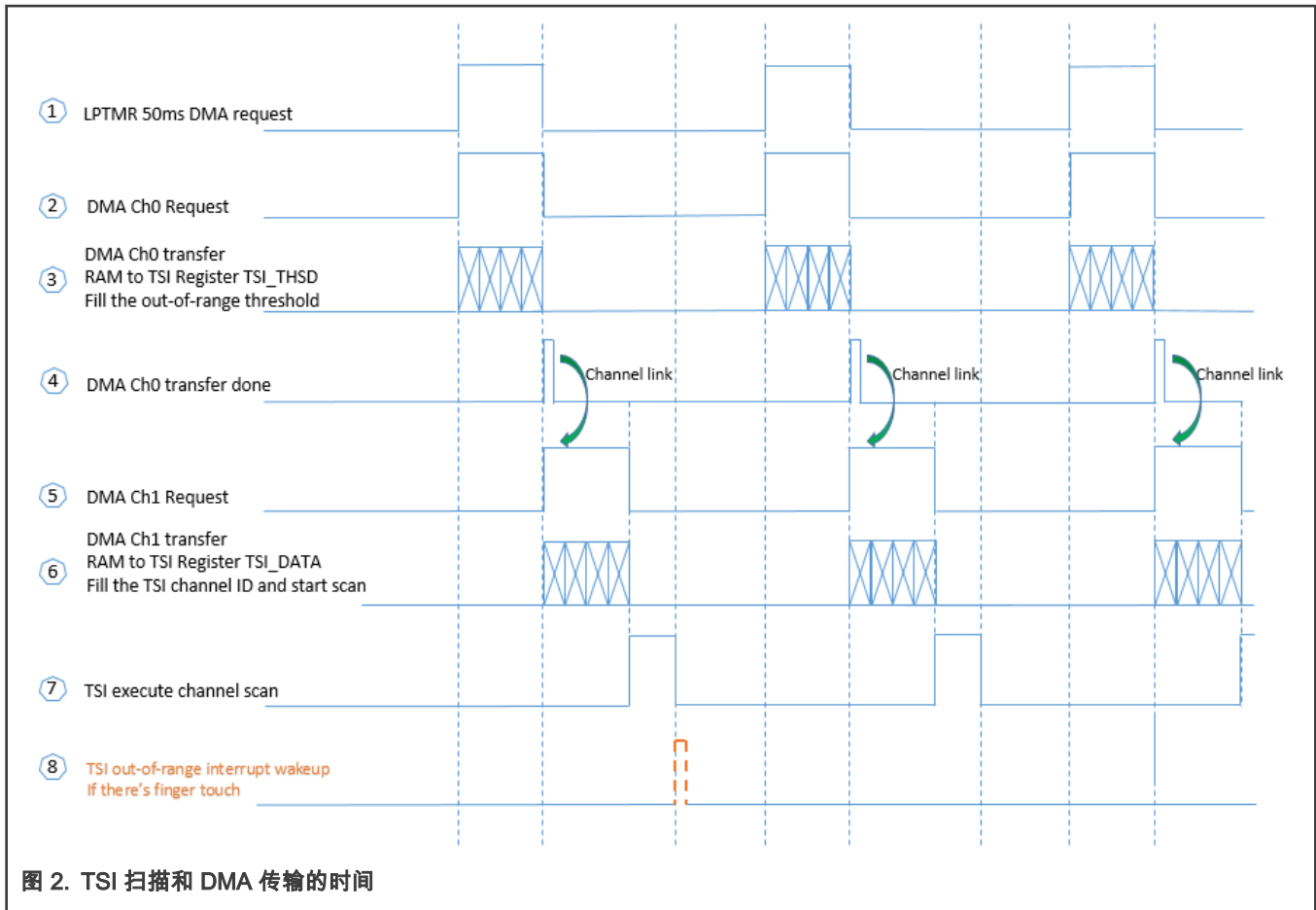


图 1. SRAM 和 TSI 寄存器之间的数据流

3.2 DMA 和 TSI 的时序

在使用 DMA 的 TSI 低功耗示例中，将发生以下步骤。

1. LPTMR 每隔 50 ms 产生一次周期性的 DMA 请求，以开始 DMA 通道 0 的传输。
2. DMA 通道 0 将 TSI 通道 0 的检测阈值从 SRAM 移至 TSI_THSD 寄存器。
3. 完成 DMA 通道 0 的次循环后，即已配置好 TSI 通道 0 的检测阈值，DMA 通道 0 触发 DMA 通道 1 传输。
4. DMA 通道将相应的 TSI 通道 ID (通道 0) 和软件启动位从 SRAM 搬运到 TSI_DATA 寄存器 (TSI_DATA [TSICH] 和 TSI_DATA [SWTSL])，一旦写入 TSI_DATA [SWTSL]，TSI 就开始扫描给定的通道由 TSI_DATA [TSICH] 指定。
5. 完成 TSI 扫描后，TSI IP 比较超出范围的阈值 (位于 TSI_THSD 中) 和 TSI 扫描结果 (位于 TSI_DATA [TSICNT] 中)。如果 $TSICNT > TSI_THSD [THRESH]$ 或 $TSICNT < TSI_THSD [THRESL]$ ，将立即产生超出范围的中断，以将 MCU 从低功耗模式唤醒。
6. 50 毫秒后，LPTMR 会生成另一个 DMA 请求，以开始下一个 TSI 通道扫描和使用 DMA 的超范围比较。
7. 完成所有 TSI 通道的扫描，完成 DMA 通道 0/1 主循环。然后，DMA 通道 0 将源地址更改为 TSI 通道 0 的超出范围阈值的起点，而 DMA 通道 1 将源地址更改为 TSI 通道 0 的通道 ID 和起始位的起点。
8. 再次从步骤 1 开始重复进行，直到因手指触摸导致超出范围的中断将 MCU 从低功耗模式唤醒。



3.3 DMA 设置

3.3.1 DMA 通道 0 设置

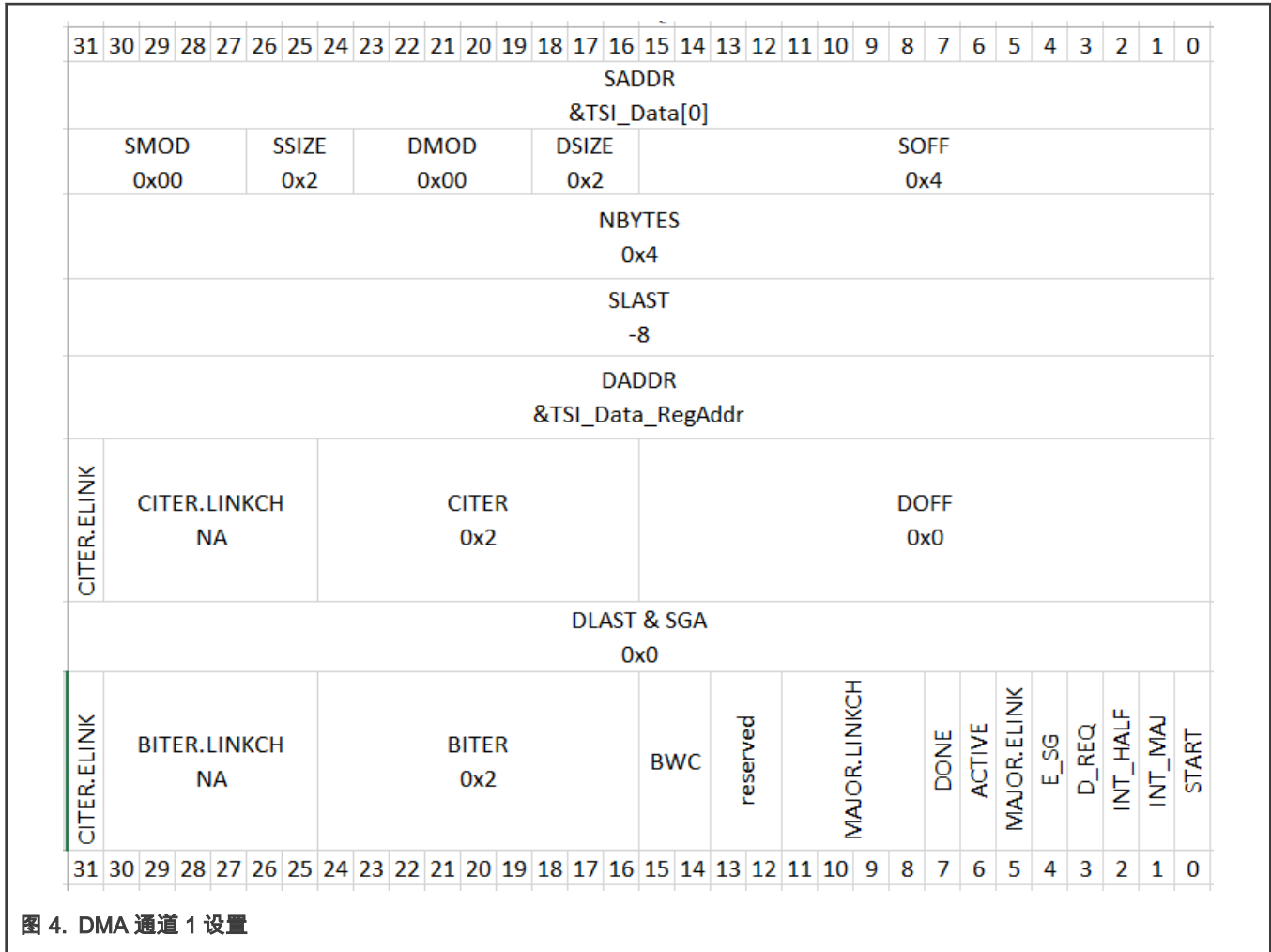
在本文档中，使用 DMA 通道 0 将相应的 TSI 超范围阈值从 SRAM (TSI_Threshold [3] 数组的变量) 传输到 TSI_TSHD 寄存器，并向 DMA 通道 1 发出信号，以通过次要环路通道链接开始传输。DMA 通道 0 TCD 的设置如 图 3 所示。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SADDR &TSI_Threshold[0]																															
SMOD 0x00				SSIZE 0x2				DMOD 0x00				DSIZE 0x2				SOFF 0x4															
NBYTES 0x4																															
SLAST -12																															
DADDR &TSI_THSD_RegAddr																															
CITER.ELINK	CITER.LINKCH 0x1				CITER 0x2				DOFF 0x0																						
DLAST & SGA 0x0																															
CITER.ELINK	BITER.LINKCH 0x1				BITER 0x2				BWC		reserved	MAJOR.LINKCH 1	DONE	ACTIVE	MAJOR.ELINK 1	E_SG	D_REQ	INT_HALF	INT_MAJ	START											
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0

图 3. DMA 通道 0 设置

3.3.2 DMA 通道 1 设置

DMA 通道 1 将 TSI 通道 ID 和起始位从 SRAM (TSI_Data [2] 数组的变量) 传输到 TSI_DATA 寄存器，以启动给定 TSI 通道的 TSI 扫描。DMA 通道 1 TCD 的设置如 图 4 所示。



4 参考文献

恩智浦网站上提供了以下参考资料。

1. *KE15Z Touch Sensing Interface* (文档 [KE15ZTSIUG](#))
2. 《在 Kinetis K 系列上使用 DMA 仿真 ADC 灵活扫描模式》 (文档 [AN4590](#))
3. *Kinetis KE1xZ Sub-Family Reference Manual* (文档 [KE1xZP100M72SF0RM](#))

5 修订记录

表 1. 修订记录

版本号	日期	说明
0	2017 年 2 月	初始版本

How To Reach Us

Home Page:

nxp.com

Web Support:

nxp.com/support

Limited warranty and liability — Information in this document is provided solely to enable system and software implementers to use NXP products. There are no express or implied copyright licenses granted hereunder to design or fabricate any integrated circuits based on the information in this document. NXP reserves the right to make changes without further notice to any products herein.

NXP makes no warranty, representation, or guarantee regarding the suitability of its products for any particular purpose, nor does NXP assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation consequential or incidental damages. “Typical” parameters that may be provided in NXP data sheets and/or specifications can and do vary in different applications, and actual performance may vary over time. All operating parameters, including “typicals,” must be validated for each customer application by customer’s technical experts. NXP does not convey any license under its patent rights nor the rights of others. NXP sells products pursuant to standard terms and conditions of sale, which can be found at the following address: nxp.com/SalesTermsandConditions.

Right to make changes - NXP Semiconductors reserves the right to make changes to information published in this document, including without limitation specifications and product descriptions, at any time and without notice. This document supersedes and replaces all information supplied prior to the publication hereof.

Security — Customer understands that all NXP products may be subject to unidentified or documented vulnerabilities. Customer is responsible for the design and operation of its applications and products throughout their lifecycles to reduce the effect of these vulnerabilities on customer’s applications and products. Customer’s responsibility also extends to other open and/or proprietary technologies supported by NXP products for use in customer’s applications. NXP accepts no liability for any vulnerability. Customer should regularly check security updates from NXP and follow up appropriately. Customer shall select products with security features that best meet rules, regulations, and standards of the intended application and make the ultimate design decisions regarding its products and is solely responsible for compliance with all legal, regulatory, and security related requirements concerning its products, regardless of any information or support that may be provided by NXP. NXP has a Product Security Incident Response Team (PSIRT) (reachable at PSIRT@nxp.com) that manages the investigation, reporting, and solution release to security vulnerabilities of NXP products.

NXP, the NXP logo, NXP SECURE CONNECTIONS FOR A SMARTER WORLD, COOLFLUX, EMBRACE, GREENCHIP, HITAG, ICODE, JCOP, LIFE, VIBES, MIFARE, MIFARE CLASSIC, MIFARE DESFire, MIFARE PLUS, MIFARE FLEX, MANTIS, MIFARE ULTRALIGHT, MIFARE4MOBILE, MIGLO, NTAG, ROADLINK, SMARTLX, SMARTMX, STARPLUG, TOPFET, TRENCHMOS, UCODE, Freescale, the Freescale logo, AltiVec, CodeWarrior, ColdFire, ColdFire+, the Energy Efficient Solutions logo, Kinetis, Layerscape, MagniV, mobileGT, PEG, PowerQUICC, Processor Expert, QorIQ, QorIQ Qonverge, SafeAssure, the SafeAssure logo, StarCore, Symphony, VortiQa, Vybrid, Airfast, BeeKit, BeeStack, CoreNet, Flexis, MXC, Platform in a Package, QUICC Engine, Tower, TurboLink, EdgeScale, EdgeLock, eIQ, and Immersive3D are trademarks of NXP B.V. All other product or service names are the property of their respective owners. AMBA, Arm, Arm7, Arm7TDMI, Arm9, Arm11, Artisan, big.LITTLE, Cordio, CoreLink, CoreSight, Cortex, DesignStart, DynamIQ, Jazelle, Keil, Mali, Mbed, Mbed Enabled, NEON, POP, RealView, SecurCore, Socrates, Thumb, TrustZone, ULINK, ULINK2, ULINK-ME, ULINK-PLUS, ULINKpro, µVision, Versatile are trademarks or registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere. The related technology may be protected by any or all of patents, copyrights, designs and trade secrets. All rights reserved. Oracle and Java are registered trademarks of Oracle and/or its affiliates. The Power Architecture and Power.org marks and the Power and Power.org logos and related marks are trademarks and service marks licensed by Power.org. M, M Mobileye and other Mobileye trademarks or logos appearing herein are trademarks of Mobileye Vision Technologies Ltd. in the United States, the EU and/or other jurisdictions.

© NXP B.V. 2017-2021.

All rights reserved.

For more information, please visit: <http://www.nxp.com>

For sales office addresses, please send an email to: salesaddresses@nxp.com

Date of release: 2017 年 2 月
Document identifier: AN5420

