

改善基于微控制器的应用的瞬态免疫性能

作者 : Ross Carlton, Greg Racino, John Suchyta
飞思卡尔半导体

1 引言

家电制造业的竞争日益激烈，市场调整压力越来越大，原始设备制造商们（OEM）为了面对这一挑战，必须在满足电磁兼容性的条件下，不断降低产品的成本。由于强调成本控制，为防止由电源和信号线的瞬变所产生的电器故障而实施必要的瞬态免疫保护，对于家电设计者来说变得更具挑战性。由于传统的电源设计和电磁干扰（EMI）控制措施为节约成本让路，家电设计者必须开发出新的技术来满足不断调整的电磁兼容（EMC）需求。

本应用笔记探讨了瞬态电气干扰对嵌入式微控制器（MCU）的影响，并提供了切实可行的硬件和软件设计技术，这些技术可以为电快速瞬变（EFT）、静电放电（ESD）以及其它电源线或信号线的短时瞬变提供低成本的保护措施。虽然这种探讨是主要针对家电制造商，但是也适用于消费电子、工业以及汽车电子方面的应用。

目录

1	引言	1
2	挑战	2
3	硬件技术	6
4	软件技术	25
5	软件流程	27
6	结论	30
附录 A	应用实例 1	31
附录 B	应用实例 2	38
附录 C	应用实例 3	47
附录 D	参考文献	56
附录 E	参考书目	56

2 挑战

由于实际的电气干扰是可以被学习研究并模型化，为了描述、监控以及限制这些干扰对应用的影响，人们制定了一些新标准。这些标准为家电系统设计人员提供了指导，同时也对集成电路（IC）和元件设计人员提出了挑战。

2.1 环境

商业电气电子产品的瞬态免疫环境包括静电放电（ESD）和电快速瞬变（EFT）。这些瞬变的定义分别在 IEC 61000-4-2¹（或 ANSI C63.16）和 IEC 61000-4-42 中。这些标准中亦包含 OEM 设计人员为达到产品设计规格和满足不断调整的产品要求所必须进行的检测的方法。

ESD 波形被用于模拟人为操作的放电。静电放电会出现在操作者可能触及的任何地方。包括所有的用户可接触的控制面板及外部连接器。ESD 的测试电平很大程度上取决于应用。商业应用的空气和接触放电的电压值只有 2kV，某些汽车应用可高达 20 kV。IEC 61000-4-2 中定义的 ESD 波形的上升时间为 0.7ns ~ 1.0 ns，这会造成大约 450 MHz 的噪声带宽（ $1/\pi t_r$ ）。

EFT 波形被用于模拟继电器开关或者供电网内的感性负载的通断所产生的瞬变。虽然主要是用于产品的交流电源线，但 EFT 波形也可以用于信号和控制线，以模拟 EFT 在这些线上的耦合。虽然 EFT 瞬变的测试电压的指定幅值高达 4 kV，但有些特别严格的环境需要更高级别的免疫性能。IEC 61000-4-4 中指定的 EFT 波形的上升时间为 3.5 ns ~ 6.5 ns，这会造成大约 90 MHz 的噪声带宽（ $1/\pi t_r$ ）。

2.2 嵌入式应用中问题

低成本的基于 MCU 的嵌入式应用特别容易受到 ESD 和 EFT 影响降低性能。即使是运行在较低时钟频率下的微控制器，通常对快速上升时间瞬变也很敏感。这种敏感性归咎于所使用的工艺技术。如今针对低成本 8/16 位的 MCU 的半导体工艺技术所实现的晶体管栅极长度在 0.65 μm ~ 0.25 μm 范围内。此范围内的栅极长度能产生和响应上升时间在次纳秒范围内（或超过 300 MHz 的等同带宽）的信号。因此，MCU 能够响应进入其引脚的 ESD 或 EFT 信号。除上述工艺技术之外，MCU 在 ESD 或 EFT 事件中的性能还会受到 IC 设计及其封装、印刷电路板（PCB）的设计、MCU 上运行的软件、系统设计以及 ESD 或 EFT 波形特征的影响。各因素的相对影响（强调对最大影响的贡献）如图 1 所示。

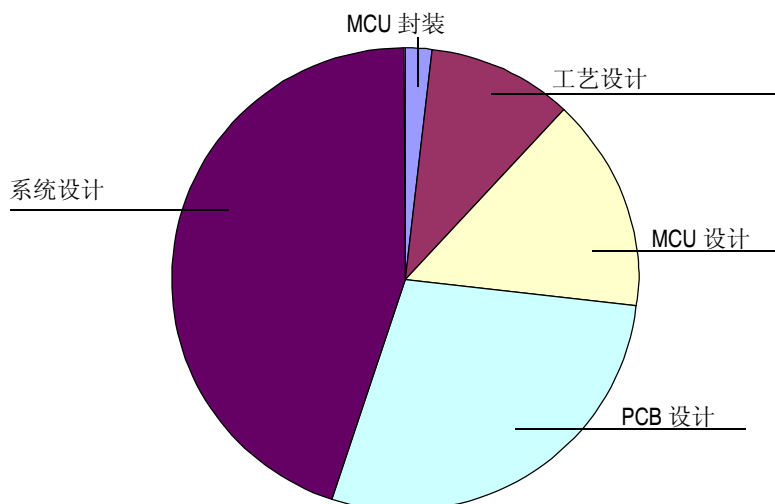


图 1. 性能导致因素对应用的瞬态免疫力的影响

除了制造工艺技术，IC 设计也会影响到 MCU 处在瞬变下的性能。这些因素包括 I/O 引脚上 ESD 抑制设备的组成、I/O 引脚结构与布局以及所有专门的 EMC 电路。ESD 设备通常用于防止在元件处理和 PCB 装配操作期间的损坏，可以从简单的二极管和场效应晶体管迅速回调模式保护延伸到复杂的有源滤波器。这些 ESD 保护元件必须确保与供电和运行时的瞬态保护需求相兼容。I/O 引脚结构的设计和布局必须要仔细小心，以防止由于电气参数超标（EOS）或多余的电流注入导致设备损坏。EMC 控制及其它技术（如物理分离或电路隔离）也将影响瞬态免疫性能——同时也可能由于芯片尺寸而明显增加成本。

MCU 封装的选择也会影响瞬态免疫性能。影响瞬态免疫性能的主要封装特性是封装类型和封装尺寸。由于封装类型决定相邻引脚和 / 或绑定线的之间的阻抗和耦合（包括容性的和感性的），进而决定了封装引脚的基本阻抗。如果采用基板将芯片内核的绑定引脚连接到封装引脚，基板本身的阻抗特性也将影响性能。但也有例外，相似的封装类型往往具有相似的性能特性，这是因为它们有类似的电容和阻抗。封装尺寸会影响 PCB 的布局及组成。例如，与过孔封装相比，通常贴片封装更小，这样可以缩小整个 PCB 板的尺寸或者为实现板级压缩技术提供更多的空间。

2.3 MCU 的脆弱区域

考虑到大多数 MCU 是用于产生或响应这种信号：它们的上升时间与 ESD 及 EFT 事件相当，所以在设计时就应该考虑这些事件所带来的影响。典型的受 ESD 和 EFT 信号影响的 MCU 脆弱区域包括：

- 电源和地引脚
- 边沿敏感的数字输入引脚
- 高频数字输入引脚
- 模拟输入引脚
- 时钟（振荡器）引脚
- 基板
- 复用引脚功能
- ESD 保护电路

有些 MCU 有多个电源和地引脚，用于将高速数字功能与低速或噪声敏感的模拟功能隔离开。对这些电源引脚应进行适当滤波，以防止功能区之间的干扰。由于低成本的 MCU 可能只有一组电源和地引脚，这样就很难进行隔离，从而使得滤波显得更为重要。传播到某条电源线上的瞬变可能会破坏那些连接到电源分配系统的所有电路。

边缘敏感输入特别容易受到瞬变的影响。它们通常是定时器或外部中断输入。即使有外部低通滤波连到该输入引脚，非常大的瞬变还是可以注入足够的能量来破坏 MCU 的运行。没有破坏 MCU 运行的瞬变会作为短时脉冲干扰而被继续传播（见图 2）。

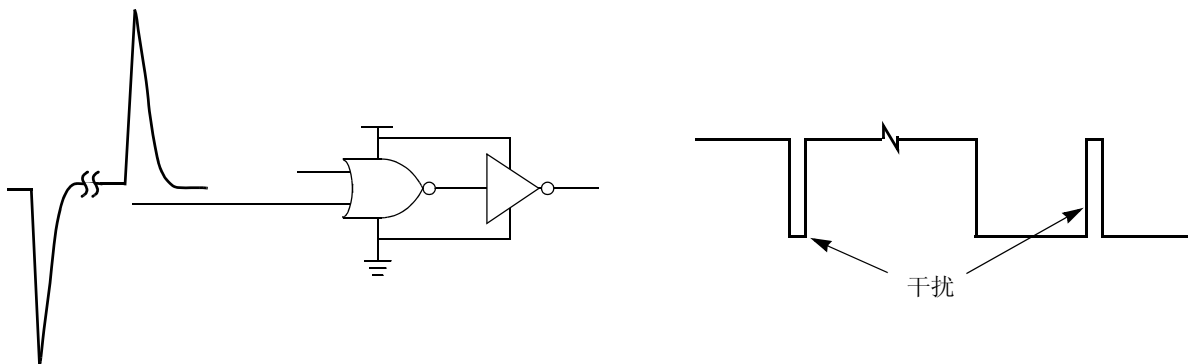


图 2. 逻辑干扰产生的瞬变

高速数字输入（如时钟和数据输入）上不太可能有低通滤波器，因此会把瞬变当作有效数据脉冲。因此有必要使用外部隔离技术来消除这个缺陷。

通常模拟输入引脚的阻抗比数字输入引脚低，如果在 ESD 和 EFT 瞬变期间不加保护，模拟输入可能会出现物理损坏。然而，大多数 MCU 的模拟输入引脚都是与通用 I/O 引脚复用，有一个小采样窗口，只有在此窗口中输入阻抗才为低。在模数转换期间，模拟输入引脚上的瞬变会使信号中断，从而导致数据错误。有效的软件滤波技术有助于减轻这种缺陷带来的影响。

大多数 MCU 有一个内置的振荡放大器，因此外部只需一个晶体或谐振器便可获得稳定的高频系统时钟。振荡器引脚是系统中最易受影响的输入引脚，因为它会把噪声脉冲当作有效时钟沿接收。恰当的 PCB 布局能有效地消除这一风险。

如图 3 所示，瞬变可以从入口点开始传播，通过几条不同的路径影响电路。1 号信号路径由 I/O 引脚输入电路产生，该电路企图把瞬变当作数据进行处理。错误信号会被发送到核心电路，例如串行外设接口（SPI）从而导致数据干扰。

如 2 号信号路径所示，超过 MCU 电源轨的系统输入信号，一旦其电平超出 ESD 保护二极管的正向偏置电压，就会向 I/O 引脚结构注入电流。该 I/O 引脚结构和片上 ESD 保护网络可以消耗一小部分注入能量。但是，如果注入电流大于本地电路能够处理的电流，这种过大的电流可以通过供电线路或基板找到替代路径，并干扰其他电路。最后一个如 3 号所示的信号路径是由被注入设备基板的电流所产生的。基板注入电流可以流到芯片内核上的其它位置，并破坏灵敏的模拟电路。通常可利用串联电阻将注入电流降到最小值。

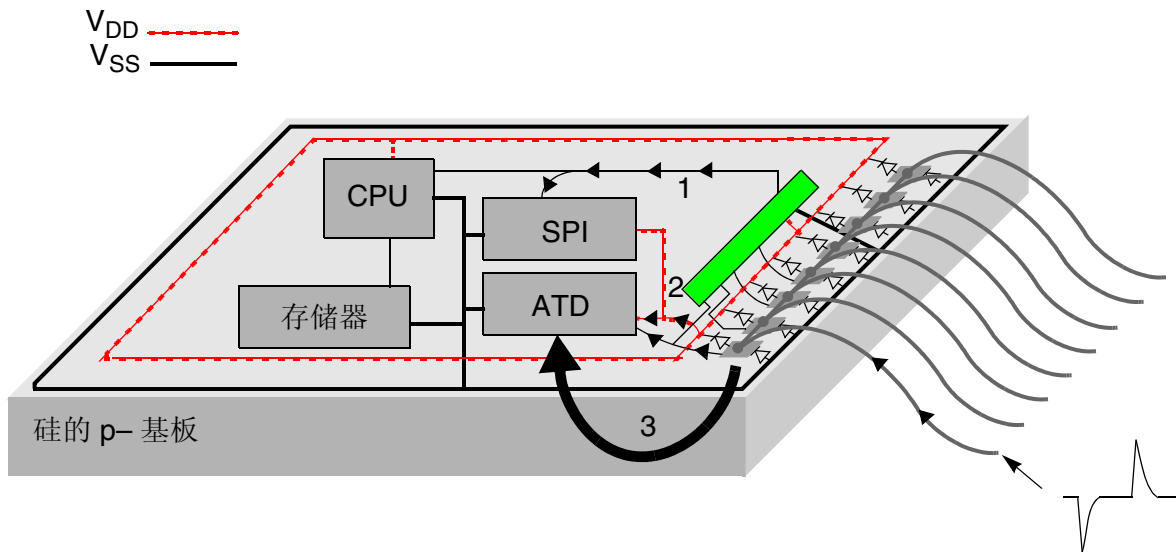


图 3. MCU 内部瞬变电流的注入路径

通用 MCU 都有可以在一个引脚上复用多种功能的 I/O 端口。能产生足够能量来破坏数字逻辑的电气干扰也可以影响到用于选择引脚功能的电路。由此造成的故障可能会改变引脚的状态、引脚的方向或引脚的功能。

对于用来满足许多应用需要的通用 MCU 来说，脆弱性特别棘手。在不影响功能性能的情况下保护 MCU 的所有脆弱区域是不切实际或不可能的，至少对有些应用来说是这样。

对特殊应用定制的 MCU 的保护比较成功，但如果 MCU 的运行频率或带宽与 ESD 和 EFT 信号的带宽相重叠，某些脆弱性将继续存在。

2.4 MCU 失效模式

集成电路（IC）的失效模式可以被归类为 EC 62132-1 中列出的五种模式之一，如表 1 所示。这种分类是由存在 ESD 或 EFT 信号的情况下 IC 的性能所决定的。这种性能取决于 IC 的类型及其在数据手册中描述的功能和运行参数。

表 1. IC 性能损失的 IEC 分类

类别	描述
A	在干扰期间及之后，IC 的所有功能按设计的执行
B	在干扰期间，IC 的所有功能按设计的执行；但是，其中的一个或多个可能超出规定公差。干扰解除后，所有的功能自动回到正常范围内。存储功能将保持 A 类。
C	在干扰期间，IC 的功能不能按设计执行，但是干扰解除后，会自动恢复为正常运行。
D	在干扰期间，IC 的功能不能按设计执行，干扰解除后，操作人员将其复位后，IC 才恢复正常工作，
E	在干扰期间及之后，IC 的一种或多种功能不能按设计执行，且不能恢复到正常工作。

飞思卡尔针对具体到 MCU 的集成电路 EMC 性能损失的 IEC 分类的解释如表 2 所示。由表可知，IED 的 C 级有两种完全不同的恢复级别：外部复位和上电复位（或重新上电）。每种功能可以由外部电路或人为干预来完成。

表 2. 飞思卡尔关于 MCU 性能损失的分类

类别	描述
A	在应用瞬变期间，在规范限度内正常执行
B	暂时的功能或性能的损失或降级，瞬变移除后可自恢复。设备恢复正常执行。
C	暂时的功能或性能的损失或降级，瞬变移除后需要外部复位才可恢复。设备恢复正常执行。
D	暂时的功能或性能的损失或降级，瞬变移除后需要重启电源才可恢复。设备恢复正常执行。
E	永久的功能或性能的损失或降级，由于数据破坏或丢失，所以不可恢复。

对于微控制器来说，性能损失有多种形式。常见的短暂损失形式包括但不限于内部复位、门锁、存储错误和代码跑飞。如果看门狗定时器发现了意外的复位或代码跑飞，带有内部复位电路的 MCU 不需要人为干预就可以重新开始运行。内部复位电路不合适的情况下，可能会需要外部复位电路。从门锁或易失性存储器错误（RAM）中恢复需要给系统重新上电。非易失性存储器错误（FLASH，EEPROM）需要一个对系统进行重新编程的过程。如果该系统可恢复工作，非易失性存储器错误可以被看成是暂时的 MCU 失效，如果不能恢复工作，则为永久性失效。

永久失效通常是由于硅片损伤所造成的，这种损伤会造成输入 / 输出（I/O）引脚或电源引脚上更多的电流泄漏。也会影响模拟测量、输入阻抗以及输出驱动能力。随着泄漏电流的增加，电子系统可能继续运行一段时间，但是最终会由于瞬变压力的损害而不能正常工作。熔化或熔合的电源引线以及绑定线所导致的开路 and / 或短路也能产生永久失效。

2.5 MCU 设计趋势的影响

MCU 设计的趋势是持续降低单个场效应晶体管（FET）的最小栅极长度使其更小，速度更快。这将显著影响 MCU 的瞬态免疫性能。这种趋势是由市场压力驱使半导体制造商通过减小内核尺寸来降低产品的成本导

致的。结果是维持 MCU 免疫性能变得越来越困难。再加上 OEM 在应用或系统层面持续降低成本，免疫问题就变得更加严重。

MCU 设计人员面临的挑战是开发出更好的方法来消除瞬变事件中注入的能量。虽然设计人员希望得到更多用来包含瞬态抑制电路的空间，但是为了将芯片尺寸和成本保持最小，通常不容许这样。留给设计人员的其它选项包括改变半导体属性（掺杂及材料）、改变 I/O 引脚的垂直结构。

3 硬件技术

应用中使用的硬件设计技术将建立基本的免疫性能。使用硬件技术的目的是为了**保护 MCU 不会出现性能损失或长期保持 MCU 的可靠性。**

在尝试任何软件技术之前，应最大限度地利用硬件技术来保证理想的 EMC 性能。这一点很重要，因为软件技术不能降低 MCU 所处于的瞬态事件的级别——它们只能减少这些信号对系统操作的影响。即使应用性能可能不会损失，但可能会影响长期的可靠性。

为了设计一个既满足不断调整的 EMC 需求又使成本最低的应用系统，设计过程要讲究方法论和可重复性。在设计过程中为了确保质量和一致性，需要有严格的系统和 PCB 设计方法。没有这些方法，实现的 EMC 将是偶然的且不可重复。设计过程还必须是可重复的，以确保可能的最佳系统设计及 PCB 布局。将成本降到最小的设计不可能一次性完全实现——这与人员素质或工具性能无关。符合 EMC 的低成本应用是 EMC 工程师与所有其他工程学科（即电气工程师，机械工程师和 PCB 布局工程师等）之间紧密协作的结果。

3.1 瞬态抑制和控制元件

用来抑制或控制瞬变的元件以及他们的实施细节和 RF 特性见元件制造商的技术文档，在许多书籍、论文和文章中也有描述。因此，本应用笔记将不涉及到元件的选择及其具体用法等细节。

接下来几段介绍为了获得理想的瞬态免疫能力，如何将一些最典型的元件应用到低成本的设计中。

用来抑制或控制瞬变所使用的元件可分为两大类：

- 分流瞬变电流的元件（电压限制器）
- 阻塞瞬变电流的元件（电流限制器）

注意，元件可以用来分流或阻塞瞬变，具体取决于瞬变的上升时间（频率带宽）。例如，电感器在上升时间比较慢（低频带宽）的情况下阻抗小（分流）。在上升时间比较快（高频带宽）时，感应器的阻抗较大（阻塞）。因此，必须认真挑选瞬变抑制元件以获得最佳工作条件。元件在应用中的实际性能将依赖于元件基于频率的特性以及电路板的布局。

3.1.1 电阻

两个节点间的串联电阻可以提供廉价而有效的瞬变保护，即用与频率无关的电阻来防止或限制瞬变。电阻可用来组成低通滤波器以及在不同的供电区域之间退耦。串联电阻主要适用于保护电流较小的数字或模拟信号，还可以承担适度的压降（跨过串联电阻）。通常情况下，绕线电阻或合成碳电阻因为可以承受较大的瞬态电流而被经常使用。选择电阻时需要考虑稳定状态下的最高额定功率、最高工作电压和耐压性。在瞬变保护应用中，不需要特别考虑电阻的寄生分流电容和串联电感。

3.1.2 电容

电容用于各种瞬态保护作用：旁路或电荷存储（作为电压变化限制器）和电源退耦（作为低通滤波器的分流元件或高通滤波器的串联元件）。无论是哪种功能，电容可用于来有效地避免有限能量的快速瞬变（如 ESD 或 EFT）。电容不适合用于分流由于雷电、浪涌和大电感负载开关导致的较大的瞬时电流。选择电容时需考虑的重要特性是最大直流额定电压、寄生电感、寄生电阻以及过压失效机制。在可能超过最大额定电压情况下使用的电容应该具有自恢复能力，如金属化聚酯薄膜电容。

3.1.3 铁氧体磁珠和电感

铁氧体磁珠和电感被用来组成低通滤波器以退耦不同供电区域。在这些应用中，串联铁氧体磁珠或电感可以用与频率相关的阻抗来防止或限制瞬变。串联电感主要适用于保护带有大电流但不能接受由串联电阻带来的压降的电源线路及数字或模拟信号。选择铁氧体磁珠或电感时需考虑最大直流额定电流、寄生电阻、铁氧体材料的导磁性、直流阻抗以及使用电感线圈时的线间寄生电容。

3.1.4 共模抑制器

共模抑制器与共模源串联时的感应系数很大，而与差模源串联时的感应系数较小甚至可忽略不计。这些电感系数会抑制共模信号，但对电源频率差模信号的影响很小。因此，共模抑制器是最有效的瞬变保护元件之一。与电容一起形成低通滤波器时，共模抑制器更加有效。选择共模抑制器时需考虑最大差模直流额定电流、共模感应系数、差模感应系数以及直流阻抗。

3.1.5 滤波器

用滤波器实现的性能比用单个电容或电感元件更好。为了达到理想的性能，滤波器使用的是经过专门挑选的多个电容性和电感性元件。

3.1.6 瞬变电压抑制器

瞬变电压抑制器（TVS）是用来控制和限制跨过任何两个或多个端点的电压。当触发电压达到时，TVS 通过箝制电平以及转移瞬变电流来完成该任务。TVS 设备的响应时间往往与其电流处理能力成反比。因此，为了达到理想的保护水平，通常需要两个器件（一个响应慢但电流处理能力强，另一个响应快但电流处理能力弱）。

TVS 设备可以用来抑制交流电、直流电以及其它供电系统的瞬变。还可以用来箝制应用中感性负载开关所产生的瞬变电压。

3.1.7 变阻器

变阻器（或电压可变电阻）是一种非线性对称双极器件，它可将能量消耗于其构成材料中，如普通金属氧化物变阻器（MOV）中的金属氧化物。因此，变阻器能有效地遏止正向和负向的大电流瞬变。但是使用变阻器时，实际触发电压可能和给定值有很大差异。使用变阻器的瞬变保护设计必须适应这一特点。目前，在所有为保护电子设备免受交流电上传播的瞬变电压影响的可用非线性器件中，MOV 是最好的一种。

3.1.8 雪崩和齐纳二极管

雪崩和齐纳二极管是硅二极管，主要工作于反向击穿模式下。这两种二极管间的主要区别在于反向击穿机制：雪崩或齐纳。通常情况下，齐纳二极管的反向击穿电压低于 5 V，而使用雪崩机制的反向击穿电压高于 8 V。

3.2 系统电源和信号入口

消除瞬态免疫问题的最早及最好时机是电源或信号进入应用系统的时候。如果此时能有效地遏制瞬态信号，就没必要用其他的硬件和软件技术。这种效果是双重的：既减少或消除了电磁兼容性不好的风险；也降低了设计的其它方面的成本和工作。

电源滤波器和信号线滤波器入口的实例分别如图 4 和图 5 所示。可以很容易地向众多厂商买到标准或定制封装的电源滤波器。可以根据滤波器性能从标准产品中选择，也可以为特定应用定制。

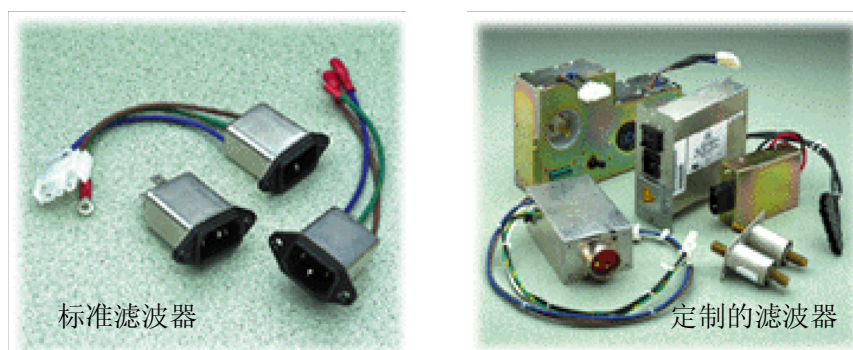


图 4. 电源滤波器的入口实例



图 5. 信号信滤波器的入口实例

如果电源和信号在连接到系统时没有在入口处经过瞬变抑制，那么电磁兼容问题就会更复杂，因为已经失去了对免疫信号的控制。这样，为了确保良好的 EMC 性能，可能需要增加其他所有的软硬件技术。

这两种情况如图 6 所示。从众多供应商那里很容易就可以买到适合于应用入口处的瞬变抑制设备，如果有必要也可以设计定制的解决方案。

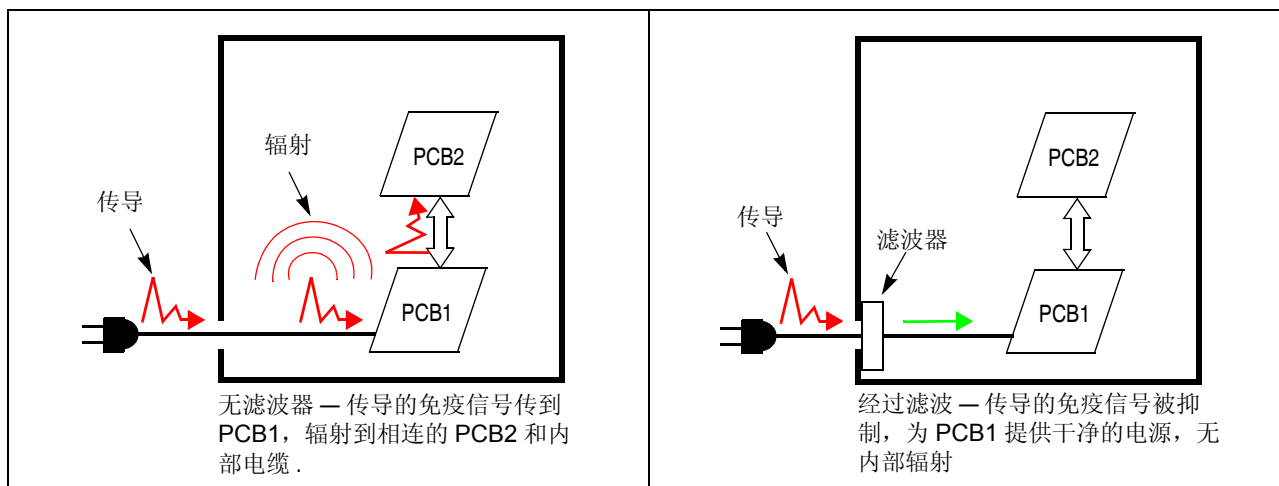


图 6. 入口处安放滤波器

3.3 系统连接器的位置

如果电源和信号在进入应用系统的入口处就被滤波，连接器的位置就不重要。但是，如果没经过滤波，连接器的位置就非常重要。在这种情况下，连接器的位置应该使应用底板与所连接的负荷间的电线尽可能的短。短的连线可以减少辐射到底板的能量，但对导入的免疫信号没有任何影响。另外，尽可能将电源连接器与信号连接器分开。

3.4 系统电缆的布线

在电缆线未经滤波时，不管在什么情况下都不要将电源线和信号线分布在同一电缆束中。否则只会导致电源 / 信号线上的噪声耦合到线束中其它信号 / 电源线。如果不遵循这个规则，将会导致更多的噪声信号，从而使问题被最大限度地复杂化。

电缆线经过滤波后，只有当不会产生自兼容问题的情况下，才可以将电源和信号线分布在同一电缆束中。例如，如果应用系统中包含正常运行时也能产生瞬变噪声的子系统或元件（如继电器，电动机，压缩机），就可能存在自兼容问题。如果可能存在自兼容问题，应作为电缆未经滤波的情况处理。

3.5 系统元件的布局

子系统、元件或电缆的布局非常重要——特别是对于自兼容问题。有噪声的子系统、元件或电缆应该与敏感的电子设备（如 MCU）进行物理隔离，以减少辐射噪声耦合。物理隔离可采取分离（距离）或屏蔽的形式。

另外，应将交流到直流的供电电路与模拟和数字逻辑电路分开。如果可能的话，为交流到直流的供电电路提供一块单独的专用 PCB 板。

3.6 系统和 PCB 的电源电路

消除瞬变免疫问题的第 2 个机会在于应用系统中的电源电路。电源电路的瞬变保护可以单独进行，也可以与电源入口处的保护相结合。不管在何种情况下，为了防止损坏电源电路和逻辑元件，以及防止应用系统的任何性能损失，保护都是必需的。

电源通常可分为两类：线性电源或开关电源。这两种类型的基本代表如图 7 所示。为了确保应用中的瞬变免疫能力，每种设计风格都有各自的注意事项。

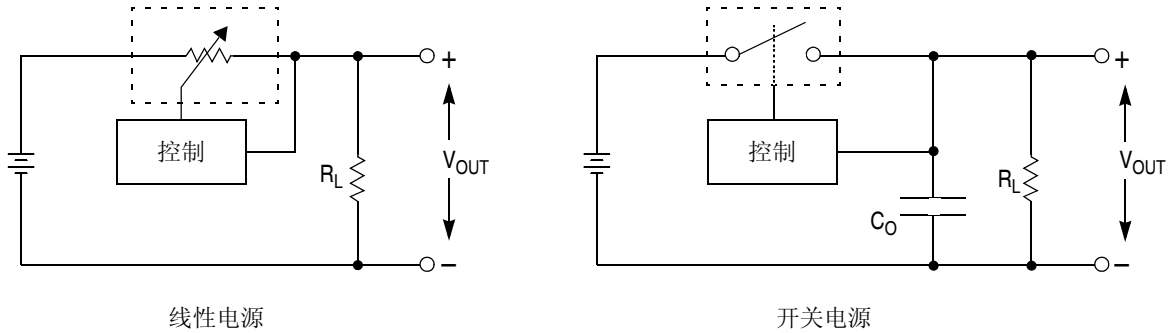


图 7. 供电类型

电源设计技术的进步使得开发出低成本的电源成为可能。虽然低成本的设计非常有吸引力，但是成本的降低通常是以牺牲 EMC 为代价来实现的。因此，低成本设计将需要更好的规划和专业知识，才能满足所需级别的免疫性能。

3.6.1 传统的线性电源

交流 - 直流电源可以用输入与输出之间的串联电阻来近似描述。可选的反馈控制电路通过改变这个串联电阻的阻值提供指定的输出电压。传统的线性电源有许多好的性能特性（如卓越的 EMI 性能），但会受到应用系统的效率、散热以及大小的限制。图 8 中给出了一个常见的线性电源的框图。

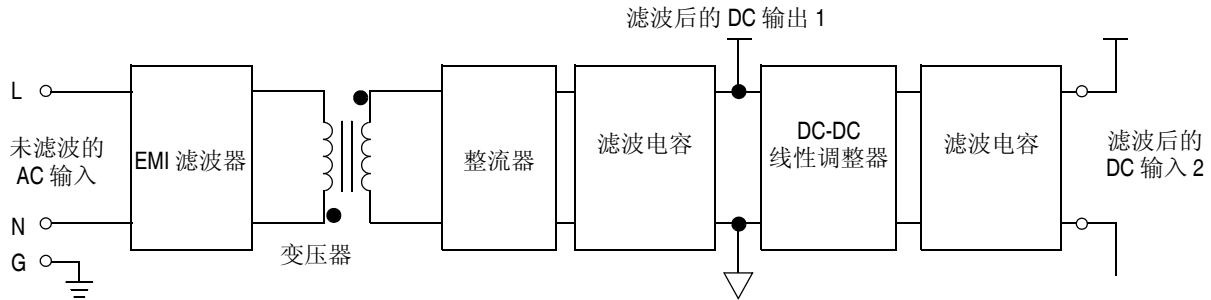


图 8. 常见线性电源

无论是直流输出还是接地，都不应该直接连到交流电（相线或中性线），除非是功能上的需要。此外，使用传统的线性电源时，需要考虑和可能需要保护的有四个方面。描述如下：

1. 变压器（如果没用变压器就是整流二极管），需要保护不受来自交流电上的共模和差模过电压影响。保护部分包括用来限流的保险丝或可熔断电阻（ R_F ）、用来箝制瞬变电压的变阻器（MOV）、用来避免差模噪声的线间的“X”电容（ C_X ）、用来避免共模噪声的线到地的“Y”电容（ C_Y ）以及用来阻止共模和差模噪声的抑制器。这些保护元件一起工作可以形成一连串的低通滤波器。图 9 和图 10 分别给出了一个可用于 2 线和 3 线电源的带有差模和共模滤波元件的交流电 EMI 滤波器的实例。

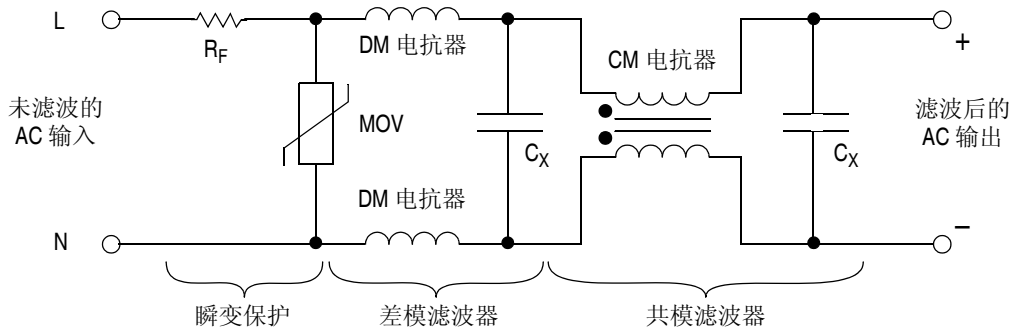


图 9. 用于 2 线电源的交流电 EMI 滤波器

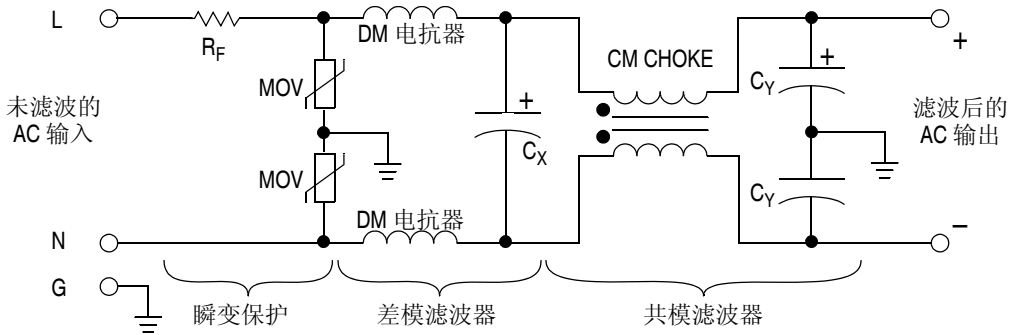


图 10. 用于 3 线电源的交流电 EMI 滤波器

- 如果在交流电与整流二极管 (BR) 间使用了变压器 (T)，整流二极管就需要保护免受过电流和反向过电压的影响。差模保护可以通过使用高电压的线间铝电解电容来实现 (C_{bulk})。加上从二次线圈回到初级线圈的线间“X”电容器 (C_x)可以降低共模噪声。另外，对于三线电力系统，线到地的铝电解电容器 (C_{Bulk_CM})可以提供额外的共模保护。值得注意的是，图中给出的整流器是全波桥配置，用半波配置也是可以的。

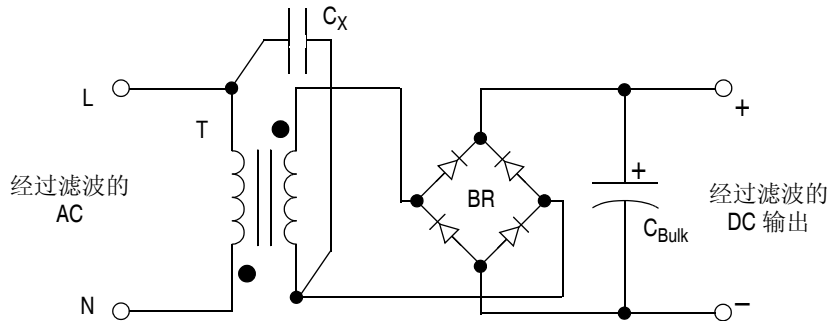


图 11. 用于 2 线电源的变压器、整流器和滤波电容

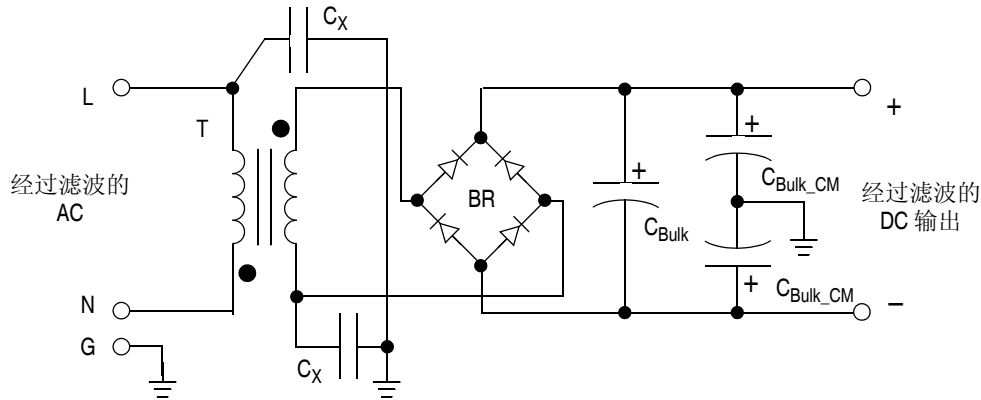


图 12. 用于 3 线电源的变压器、整流器和滤波电容

3. 稳压器输入（如果使用的話）和滤波电容需要保护免受过压影响。可以通过为滤波电容指定更高的工作电压以及使用像齐纳二极管那样的瞬变电压抑制器来实现这种保护，如图 13 所示。

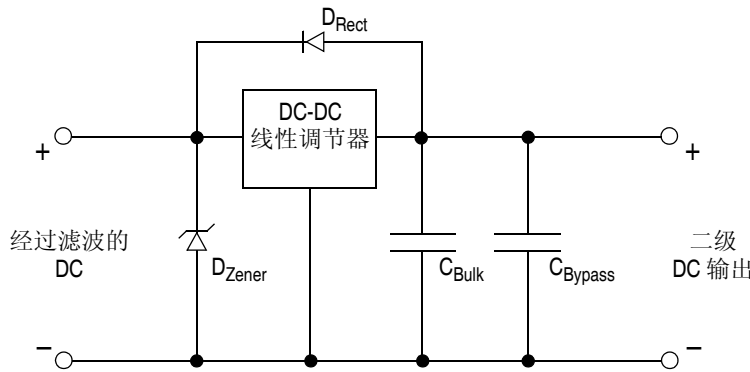


图 13. 稳压器和滤波电容

4. 电压调节器输出（如果使用的話）和负载需要保护免受过压影响，且需要旁路以降低噪声，如图 13 所示。过电压保护应通过从电压调节器的输出连到输入的整流二极管（ D_{Rect} ）来实现，为关闭时的稳压后电源提供放电回路。另外，去耦电容（ C_{Bulk} ， C_{Bypass} ）可以用来控制二级直流输出的噪声。如果需要额外的保护，可以加入瞬变电压抑制器（ D_{Zener} ），与旁路电容并联。

3.6.2 低成本线性电源

低成本的线性电源被称为被动（电容 / 电阻）降压电源。这种电源类型适合于需要电流大约在 120 mA 以内的情况。图 14 和图 15 给出了两个被动降压电源的实例。这种类型的电源可近似地用输入与输出间的串联电阻与齐纳二极管（ D_{Zener} ）来产生输出电压。这种低成本的线性供电设计消除了传统设计风格中的转换效率、散热以及元件成本问题；但代价是增加了实现 EMC 的复杂性。

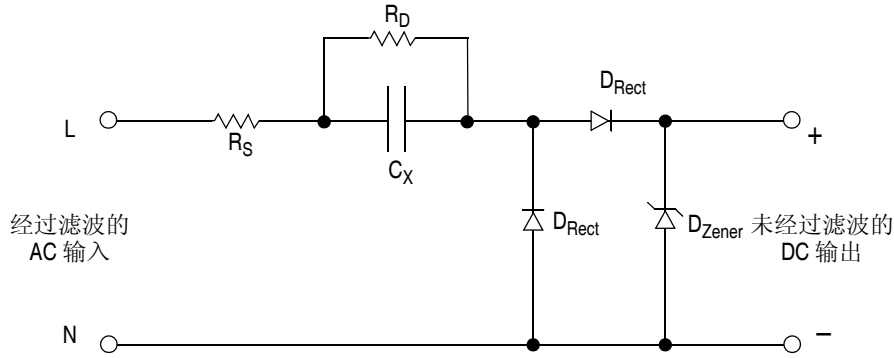


图 14. 被动降压电源（降压器）

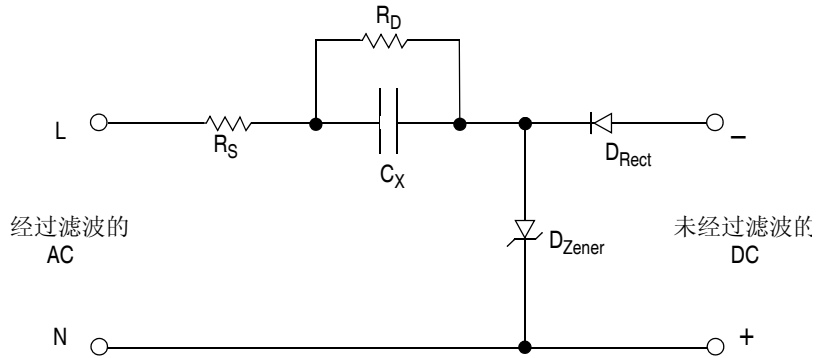


图 15. 被动降压电源（反压器）

由于其中一根交流线实际上就是最终调节后的 DC 电源的某根线，使得这些设计中 EMC 复杂度增加了。这就是说，微控制器的 V_{DD} 或 V_{SS} 引脚直接与交流电相连。因此，微控制器就会受到交流电上所有干扰的影响。如果不采取适当的措施，这种情况很容易引起微控制器的干扰敏感性问题。

强烈建议在入口处使用电源滤波，如图 9 和图 10 所示的传统线性电源那样。如果电源在入口处没有经过滤波，那么在使用被动降压电源时，设计人员就需花费大量的时间和精力来实现必要的免疫控制。为了保护所有附加 DC-DC 调节器，建议使用如图 13 所示的传统线性电源的那种保护措施。

使用这种类型电源的另一个问题是应用的自兼容问题——尤其是在带有继电器的应用中。在这些应用中，继电器开关控制通向感性负载（如电机和压缩机）中的交流电。如果不妥善抑制这些负载开关所产生的瞬变，微控制器也将受到它们的影响。

3.6.3 传统的开关电源

交流到直流的开关电源根据来自输出的反馈信号来改变串联开关的占空比。传统的开关电源可以提供更高效率的 DC 输出，但是以更高的噪声为代价的。图 16 给出了一个普通的线性电源的框图。对于开关电源来说，对反馈回路进行光电隔离很重要，以确保调节后的电源和地与交流电完全隔离，从而获得最佳的免疫性能。

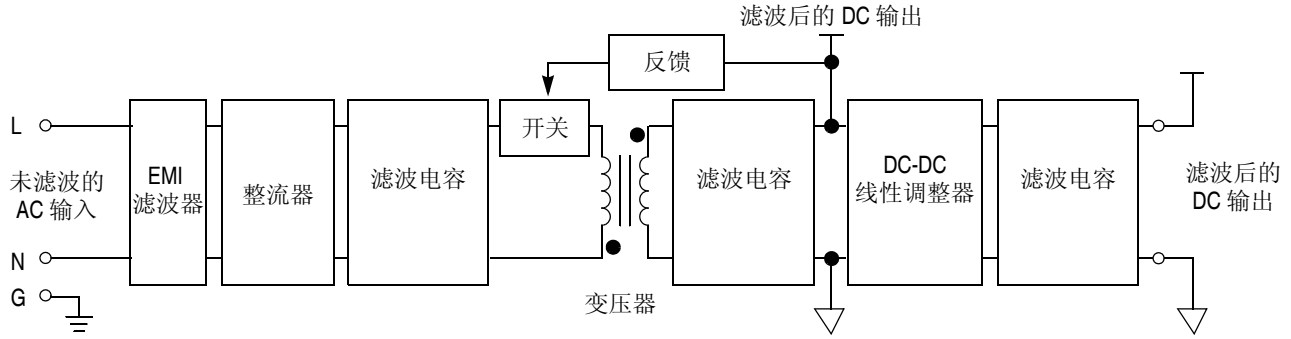


图 16. 普通的开关电源

除非功能所需，直流输出和地都不能直接连到交流电上（相线或中性线）。此外，使用传统开关电源时，需要考虑和可能需要保护的有四个方面。描述如下：

1. 需要保护整流二极管，以免受到交流电上共模过电压和差模过电压的影响。保护元件和 EMI 滤波器的设计与图 9 和图 10 所示的线性电源一样。
2. 不需要特殊保护时，整流电压必须经过滤波处理。利用图 17 所示的高压线间铝电解电容器（ C_{bulk} ）可以实现差模滤波。另外，对于三线电力系统，线到地的铝电解电容器（ C_{Bulk_CM} ）可以提供额外的共模保护，如图 18 所示。

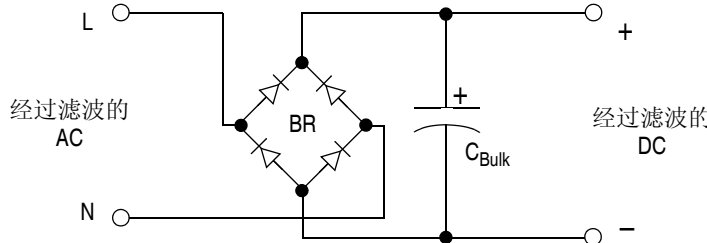


图 17. 用于 2 线电源的整流器和滤波电容

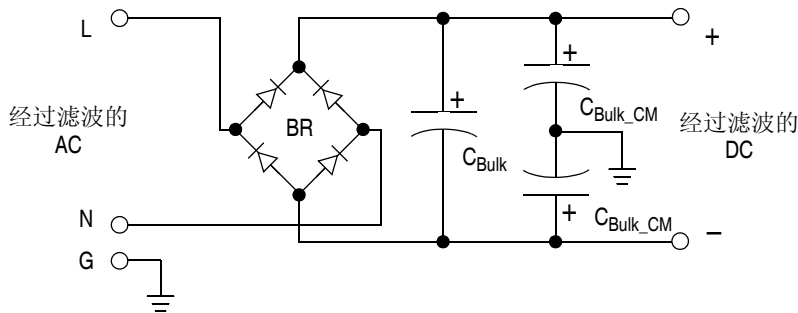


图 18. 用于 3 线电源的整流器和滤波电容

3. 根据开关控制器制造商的指定或建议，开关、控制器和反馈电路都需要保护。除非功能所需，应该注意不要将调节后的电源和地直接连到交流电上。只要有可能就应在反馈电路中使用光电隔离，或者根据开关控制器的制造商的建议使用。
4. 需要保护电压调节器输入（如果使用的话）和滤波电容，以免受到过电压的影响。可以通过为滤波电容指定更高的工作电压以及使用像齐纳二极管（ D_{Zener} ）那样的瞬变电压抑制器来实现这种保护，如图 19 所示。

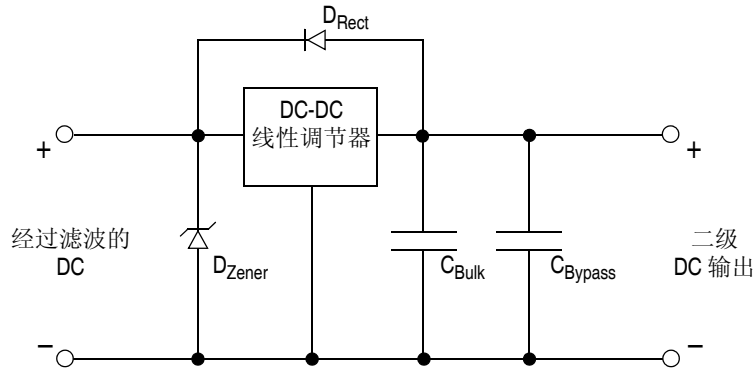


图 19. 稳压器和输出保护

- 需要保护稳压器输出（如果使用的话）和负载，以免受到过电压的影响，且需要旁路以降低噪声，如图 19 所示。过电压保护应通过从稳压器的输出连到整流二极管（ D_{Rect} ）来实现，为关闭时的稳压后电源提供放电回路。另外，去耦电容（ C_{Bulk} ， C_{Bypass} ）可以用来控制二级直流输出的噪声。如果需要额外的保护，可以加入瞬变电压抑制器（ D_{Zener} ），与旁路电容并联。

3.6.4 低成本开关电源

传统开关电源的低成本版本被称为非隔离式开关电源。是用来替换被动（电容 / 电阻）降压电源的。这种电源适合于电流需要高达约 400 mA（但随着开关技术的发展可能更高）的情况。图 20 和图 21 给出了两个非隔离式开关电源的实例。这种低成本的开关电源设计降低了元件的成本以及传统设计风格布局的复杂性；同样也以增加实现 EMC 的复杂性为代价。

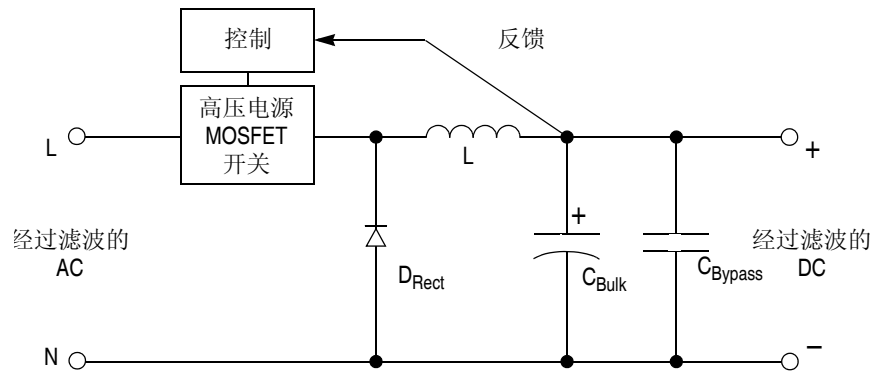


图 20. 非隔离式开关电源（降压稳压器）

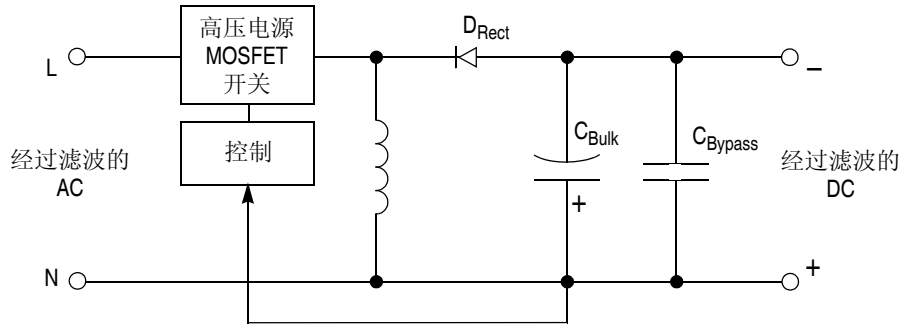


图 21. 非隔离式开关电源（反压稳压器）

同被动降压电源，由于其中一根交流线实际上就是最终调节后的 DC 电源的某根线，使得这些设计中 EMC 复杂度增加了。这就是说，微控制器的 V_{DD} 或 V_{SS} 引脚直接与交流电相连。因此，微控制器就会受到交流电上所有干扰的影响。如果不采取适当的措施，这种情况很容易引起微控制器的电磁敏感性问题。

强烈建议在入口处使用电源滤波，如图 9 和图 10 所示的传统线性电源那样。如果电源在入口处没有经过过滤，那么在使用非隔离式开关电源时，设计人员就需花费大量的时间和精力来实现必要的免疫控制。为了保护所有附加 DC-DC 调节器，建议使用如图 13 所示的传统线性电源的那种保护措施。

使用这种类型电源的另一个问题是应用的自兼容问题——尤其是在带有继电器的应用中。在这些应用中，继电器开关控制通向感性负载（如电机和压缩机）中的交流电。如果不妥善抑制这些负载开关所产生的瞬变，微控制器也将受到它们的影响。

3.7 PCB 的布局

在开始 PCB 布线之前，必须先注意妥善安放各元件。必须将低电平模拟信号电路、高速数字信号电路以及噪声电路（继电器、大电流开关等）分开放置，以将 PCB 子系统间的耦合将到最低。PCB 设计首先应以根据不同功能区域划分可用的电路板空间，如图 22 所示。

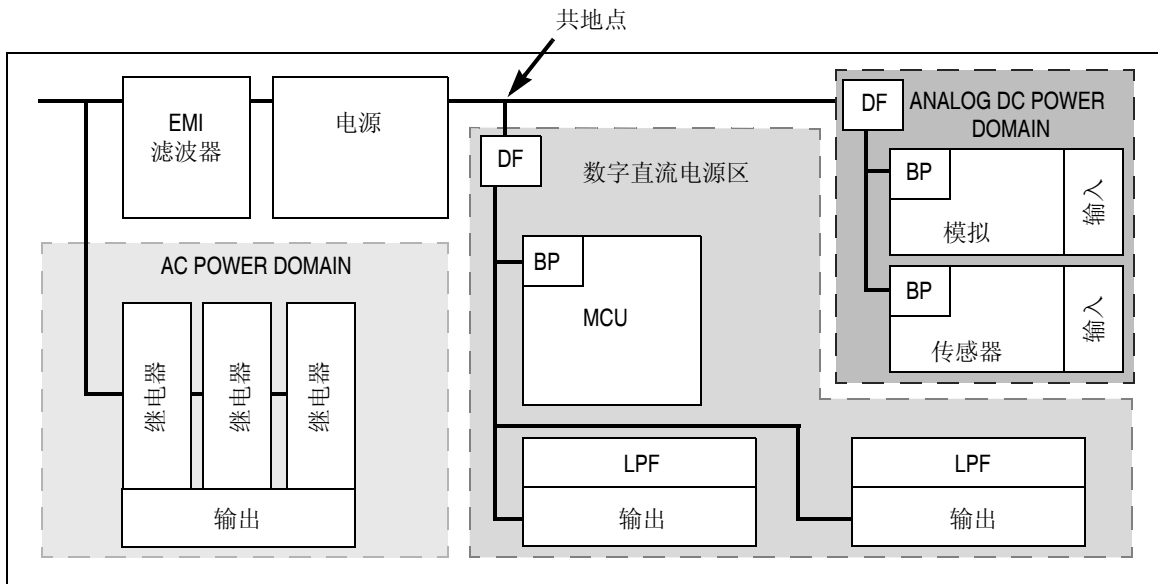


图 22. PCB 的分区

每个稳压直流电源区都是由自带的退耦滤波器（DF）实现隔离的。退耦滤波器通常是一个带有串联和并联元件的低通滤波器，如图 23 所示。串联元件或模块是根据功能需求和 EMC 需求来选择的，且通常是电阻、电感或铁氧体磁珠。并联元件或分流器是电容。

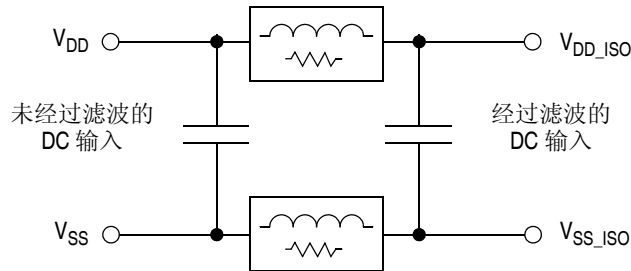


图 23. 普通的退耦滤波器

应该为每个数字逻辑元件（如微控制器）或其他敏感电路模块提供一个高频旁路电容（BP），如图 22 所示。除了为降低电磁发射而提供一个本地电荷源外，旁路电容还用于限制被保护设备的电源引脚上的瞬变。另外，应该为每个输入和输出提供低通滤波器（LPF），以防止 PCB 上从干扰电路耦合到连接电缆上的噪声。

在放置元件时，要考虑到不同功能区间线路的潜在路径，特别是时钟以及其它高速信号。应该反复检查并更正 PCB 的布局，直到所有的 EMI 问题都被解决。

3.8 PCB 的电源分配

初期的 PCB 分区和元件放置完成后，就应该定义电源分配系统。由于它是所有 EMC 控制的基础，所以供电系统的设计是确保 PCB EMC 的最重要的部分。地网络和电源网络应该用覆铜或短粗连线。应该先定义地（ V_{SS} ）系统，然后再定义电源（ V_{DD} ）系统。

为了设计一个成功的接地方案，设计人员必须清楚回地电流的路径，以识别可能的共模阻抗问题、降低回路面积、避免嘈杂回地电流对低层次电路的干扰。使用地线层以及选择性地去除电源和信号的多余铜线是一种好方法。避免使用过孔或跳线来连接不同的铺地区。过孔和跳线会增加电路间产生共模阻抗噪声的感应系数，这可能会导致功能失效。

要确保所有 MCU 引脚与 V_{SS} 间的连接采用覆铜或短粗线，这样就可以用任何两个连接间的最小电压差分来提供一个共同的基准电压。这些电压差分会在 PCB 和 MCU 的地系统中产生噪声电流。

完成对 PCB 上接地系统的走线后，就应该开始设计电源系统。如果物理上有可能的话，在相同或相邻层将电源线与地线平行走线。如果不可以，就不要由于电源的布局而去修改地的布局。电源系统的噪声可以通过滤波器退耦，但地系统不可以。如果需要用离散电感，可以使用跳线。

另外的一些设计规则包括：

- 将数字地、模拟地、大电流地以及 PCB I/O 地彼此隔离
- 将不同的地用一个单一的接地点相连，一般是在电源地
- 只有在必要的时候才考虑增加地线的阻抗

在对地和电源分配系统进行布线时，滤波或退耦元件的位置很重要。设计一个好的供电系统需要采用多种方法的反复试验的过程。

在稳压电源（ V_{DD} 和 / 或 V_{SS} ）是从 PCB 外部使用连接器提供的情况下，应该将它与经过滤波的直流电源隔离开，如图 24 所示。应该在连接器的电源引脚与未过滤的直流电源间接入一个电容。典型的电容值（ C ）为 $1\text{nF}\sim 100\text{nF}$ ，典型的电感值（ L ）为 $100\ \mu\text{H}\sim 100\ \text{mH}$ 。

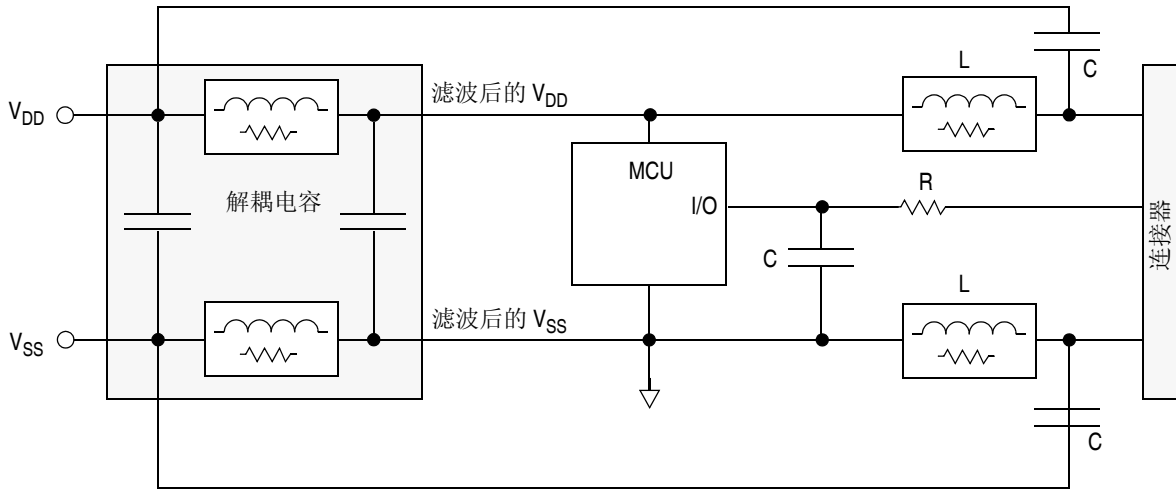


图 24. 为 PCB 外部提供稳压电源布线

3.9 旁路

旁路就是在高阻抗线路中通过一条旁路（通常是电容）对该条线路进行分流来减小高频电流的流量。旁路可以降低通过电源系统感抗的电流的时间变化率（ di/dt ），从而降低电源线上的电流噪声。电容通过为 C 中的高频电流源提供本地回路来实现这种功能。

不恰当的旁路会增加系统噪声，并最终导致运行不正确、不可靠也不稳定。为了使旁路网络（一个电容或一组电容）能正确执行，

- 电容必须能足以提供负载所需的瞬时电流
- 网络与其负载间的阻抗必须非常低
- 网络的回路面积必须尽可能地小

所需的电容大小可以通过现成的公式和需要退耦的 MCU 特性，或通过实验和测量（更好）计算出来。下面这一组公式有助于设计人员选择正确的退耦电容。

1. 确定平均供电电流（ I_{avg} ），可以通过测量获得这个电流值或根据下列公式从 MCU 的电气规格中计算出这个值：

$$I_{avg} = \frac{P_{avg}}{V_{DD}}$$

公式. 1

其中， P_{avg} 是 MCU 消耗的平均功率， V_{DD} 是电源电压。在飞思卡尔电气规格里，平均功率通常被称为消耗功率 P_D ，它是由内部核心功率（ P_{INT} ）和输入 / 输出（I/O）引脚功率（ P_{IO} ）组成，如：

$$P_{avg} = P_D = P_{INT} + P_{IO} = \frac{I_{avg}}{V_{DD}}$$

公式. 2

P_D 可以由 MCU 电气规范中提供的公式计算或测量出来。

P_{IO} 也可以计算或测量出来，但是在有些应用中，它可以忽略掉。

2. 在时钟边沿处从退耦电容中吸收的电荷 (δQ) 的计算公式为:

$$\delta Q = \frac{I_{avg}}{f_c}$$

公式. 3

其中, f_c 是时钟频率。

3. 电容 (C) 被用来提供将电压维持在某个纹波范围内所需的电荷, 计算公式:

$$C = \frac{\delta Q}{\delta V} = \frac{I_{avg}}{f_c \times V_{DD} \times n}$$

公式. 4

其中, n 是电源电压纹波的百分比 (%)。

4. 选择封装谐振频率 (f_o), 它至少是时钟频率两倍, 计算公式为:

$$f_o = \frac{1}{2\pi\sqrt{L_{package} \times C}}$$

公式. 5

其中, $L_{package}$ 是所选封装的串联电感。这个电感通常与绑定线和封装引脚 (短而宽的走线或引脚可提供更小电感和更高共振频率) 的物理特性有关。电容对频率的阻抗 ($Z_{C(j\omega)}$) 的计算公式为:

$$Z_{C(j\omega)} = R_s + \frac{1}{j\omega C} + j\omega L_{package}$$

公式. 6

其中,

$$\omega = 2 \times \pi \times f$$

公式. 7

3.10 退耦

退耦是共用同一个电源的两个电路间的隔离, 以防止噪声的传输。典型的退耦电路是低通滤波器。低通滤波器通常是不对称的——网络中两个方向的隔离不相同。退耦可以利用分流元件 (电容、TVS 等) 和阻塞元件 (电阻、电感、磁珠等) 实现电路的隔离, 以限制信号传输或电源中的高频内容。没有被分流到其返回路径的噪声将会通过串联电阻削弱。

3.11 旁路和退耦布局

为使网络阻抗最低，任何连接在 MCU 引脚和 V_{SS} 之间的滤波或退耦元件都应通过覆铜或短而粗的走线连到 MCU 的 V_{SS} 引脚上。因此，这些连接的阻抗和滤波性能会受到 PCB 布线模式的影响。所谓布线模式是指如何在 PCB 上焊接滤波元件和如何使它们与 MCU 连接。这些布线模式把串联电感增加到网络阻抗上，从而使得谐振频率更低。元件布局样式的比较如图 25 所示。

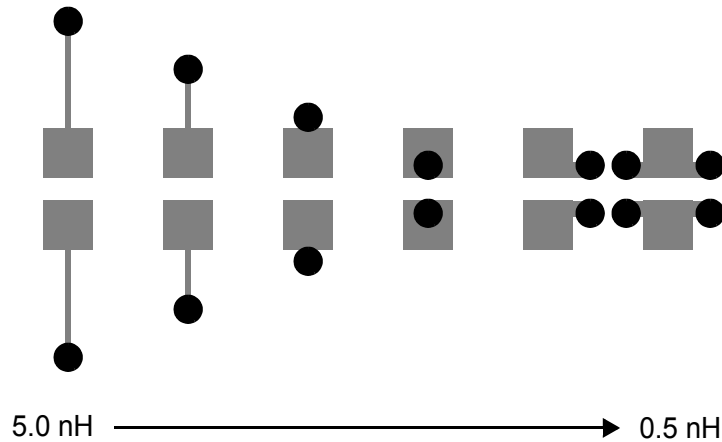


图 25. 布局样式的电感比较

降低滤波网络的阻抗通常可以使滤波网络的回路面积降到最小。图 26 给出了一个滤波网络（退耦电容）电流回路面积的实例。随着 MCU 与退耦电容间走线的长度增加，回路面积和串联电感也会增加。这样就降低了电磁发射和易感性的退耦效率。

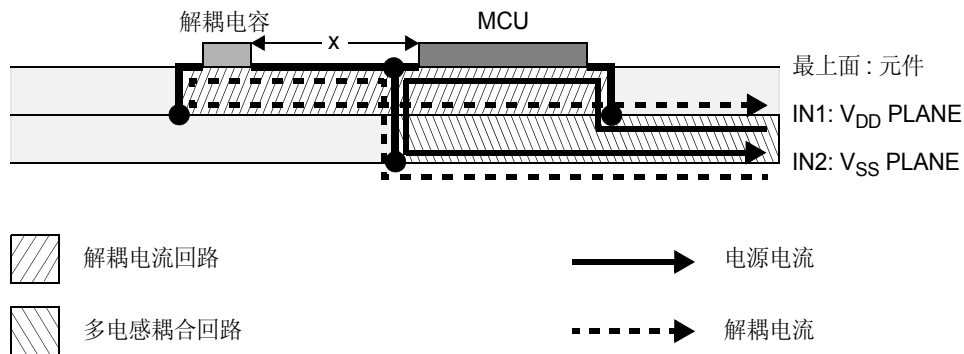


图 26. 退耦回路面积

3.12 MCU 的振荡电路

可用的 MCU 的时钟源有两种类型：机械谐振设备，如石英晶体和陶瓷谐振器；被动式 RC（电阻—电容）振荡器。适合于特定应用的时钟源将取决于成本、所需精度、理想的功耗以及对运行环境的需求（包括 EMC）。关于时钟源特性的总结如表 3 所示。

表 3. MCU 时钟源的特性

时钟源	优点	缺点
陶瓷谐振器	成本较低	会受 EMI、湿度和振动的影响 需驱动电路匹配
晶体	成本低	会受 EMI、湿度和振动的影响 需驱动电路匹配
晶体振荡器模块	不受 EMI 和湿度影响。 无另外的元件或匹配问题。	成本高。功耗大。 体积大。会受振动的影响
RC 振荡器	成本最低	会受 EMI、湿度和振动的影响，通常体积大
硅振荡器	不受 EMI、湿度和振动影响。 启动快。体积小。 无另外的元件或匹配问题。	受温度的影响比晶体和陶瓷谐振器更厉害。有些功耗大。

外部振荡电路中反馈电阻的阻值不会影响噪声的易感性。但是，当串联电阻过大时，还是会影响噪声的易感性（噪声干扰晶振的能力）。对振荡电路（在皮尔斯振荡器配置的情况下）中偏置电阻和负载电容的选择可以减小振荡器输入引脚（通常是 OSC1 或 EXTAL）上信号的振幅，这会增加输入噪声干扰信号的机会。在涉及到 EMC 易感性的系统中，应该选用可以使振荡器输入引脚上信号的振幅比较大的那种振荡器配置。

频率较低的晶体振荡器电路会产生上升和下降时间较小的信号送入振荡器输入引脚。这增加了噪声影响输入信号的可能性。

振荡器电路通常是应用中主要的易感源。为了最大限度地提高免疫能力，振荡器元件应该紧密靠在一起，且放在 MCU 的振荡器引脚附近。所有与振荡电路相关的走线应尽可能短。应该用保护走线将振荡电路包围，这些保护走线是用短的地线或地平面连到 MCU 的 V_{SS} 引脚上。还应在物理上将振荡电路与所有连到板外连接器的 I/O 信号线隔离或屏蔽。结合这些规则的布局如图 27 和图 28 所示。

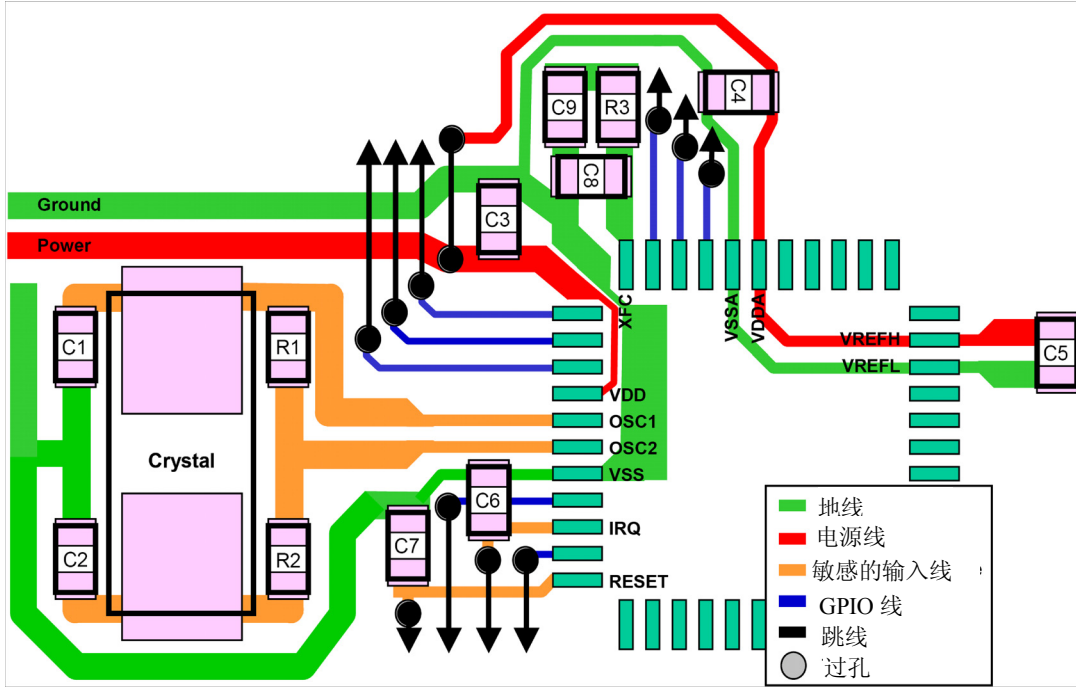


图 27. 布线实例，适合于晶振 <1MHz

图 27 所示的布线是正确应用滤波和晶体布线指导方针的一种可能的布线实例。由于将晶振电路从数字电源区中隔离出来了，所以这种布局更适合于低频晶振 (<1MHz)。这个单层板的设计使用 MCU 为 44 管脚 LQFP 封装的 MC908AP64。所用元件都是贴片的，且与 8 位微控制器 MC908AP64 系列的数据手册中指定的值一样，该手册可在 www.freescale.com 上找到。元件分类如下：

晶振电路：晶体、C1、C2、R1 和 R2。

电源旁路：C3、C4 和 C5。

输入引脚滤波器：C6 和 C7

CGMXFC 滤波器：C7、C8 和 R3。

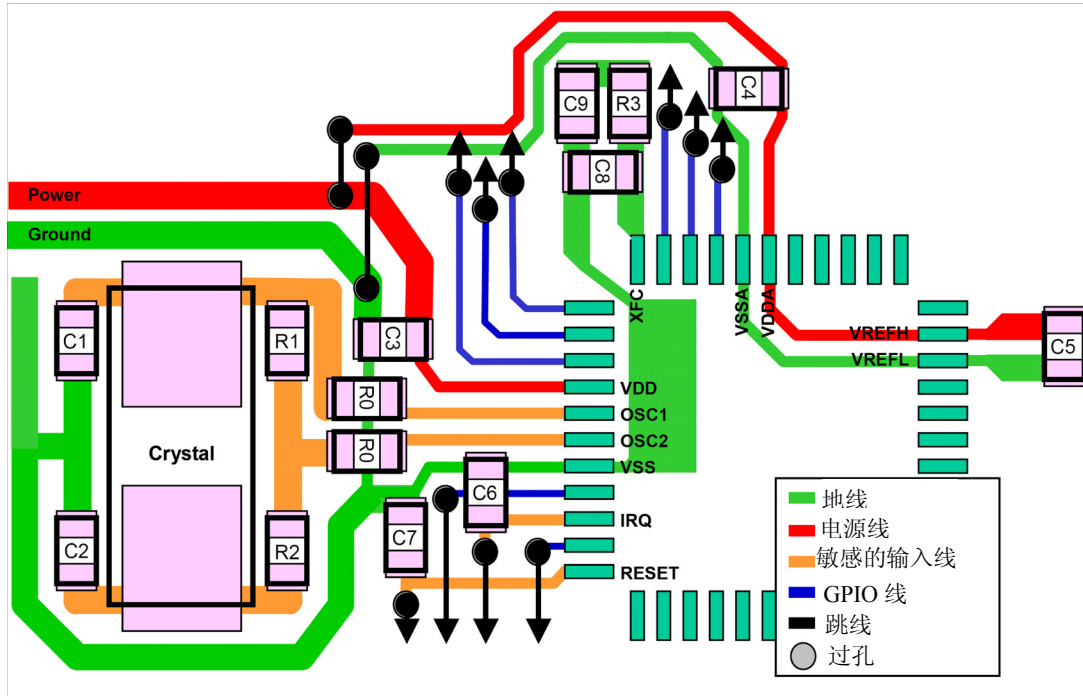


图 28. 布线实例，适合于晶振 $\geq 1\text{MHz}$

图 28 所示的布线是正确应用滤波和晶体布线指导方针的另一种可能的布局实例。由于晶振电路与数字电源区相耦合（C6 与 MCU 的 V_{SS} 引脚之间），所以这种布局更适合于高频晶振（ $\geq 1\text{MHz}$ ）。同前面的实例，这个单层板的设计所选 MCU 为 44 管脚 LQFP 封装的 MC908AP64。元件都是贴片的，且与 8 位微控制器 MC908AP64 系列的数据手册中指定的一样，该手册可在 www.freescale.com 上找到。注意，电阻（R0）是用来连接 V_{SS} 引脚与旁路电容 C2 的 $0\ \Omega$ 的电阻。

3.13 输入信号

无论是在系统级还是在 PCB 级，输入信号的瞬变会产生特别具有挑战性的问题。通常情况下，输入信号在被连接到电路中工作在其信号状态的同时，也会通过 EMI 和 ESD 控制设备耦合到电源和地。因此，输入信号的处理不仅要同电源引脚那样考虑，而且还要另外考虑基于应用的功能性需求。

在不影响输入信号和接收电路特性的情况下，EMI 和 ESD 控制设备必须提供所需的保护。对于运行带宽超出瞬变波形的噪声带宽的电路，对它的保护可以通过使用低通、高通或带通滤波器来实现。对于运行带宽在瞬变波形的噪声带宽内的电路，对它的保护在不影响性能的情况下是很难甚至是不可能实现的，至少暂时如此。在这种情况下，设计人员可能需要依靠本应用笔记后面所讨论的软件技术来实现。

标准的输入保护是如图 29 所示的低通滤波器。串联电阻限制了注入的电流。由于并联电容试图维持电压在其稳定状态，所有它可以将瞬时电流分流到地。可以改变电阻和电容的值，以实现最大限度的保护，或使其对输入信号的影响最小。电容通常以 V_{SS} 为参考（如图所示），但也可以用 V_{DD} 作参考。

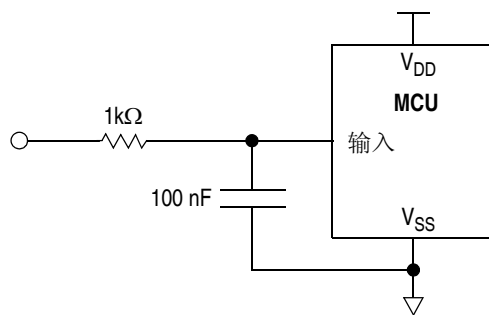


图 29. 输入引脚上典型的瞬变保护低通滤波器

输入引脚上其他的限制瞬变的方法包括：

- 利用瞬变电压抑制器（TVS）设备箝位输入电压
- 利用串联电阻或阻抗限制输入电流
- 用编织或实心屏蔽线屏蔽输入电缆
- 用保护线、微带状线或带状技术屏蔽 PCB 线路
- 使用线路端接来降低振铃和超调
- 将不使用的输入引脚连到 V_{DD} 或 V_{SS}

如果敏感输入信号在 PCB 之外，应该将 MCU 放在靠近板外连接器附近。如果在 PCB 内，把 MCU 放在使这些信号的走线尽可能短的地方。

3.13.1 复位和中断请求输入

在基于 MCU 的系统中，除振荡器输入之外的最敏感的输入信号就是复位和中断请求输入。这些信号很容易被电磁交叉耦合信号破坏。这些线上由于意外复位或中断所产生的干扰可能会轻易地通过中断代码的执行来干扰 MCU。另外，内部时钟信号可能出现干扰或相位偏移并中断应用程序。利用如图 30 所示的电路可以保护这些输入信号。

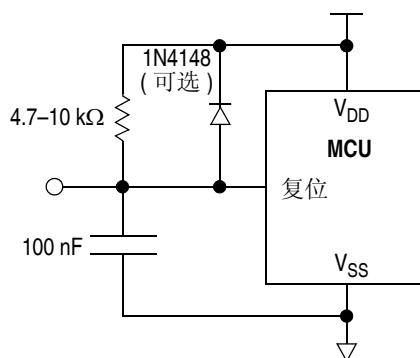


图 30. 复位和 IRQ 引脚上典型的瞬变保护

3.13.2 在线编程输入

其余的有时需要保护的专用输入是背景调试或在线编程输入。这种信号要求相关高频输入信号的失真最小。因此，放了一个相对较小的电容（如图 31 所示）来保护这个高频输入信号。这个电容的实际值应该通过实验来确定。

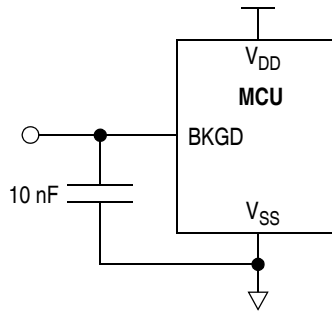


图 31. BKGD 引脚上典型的瞬变保护

4 软件技术

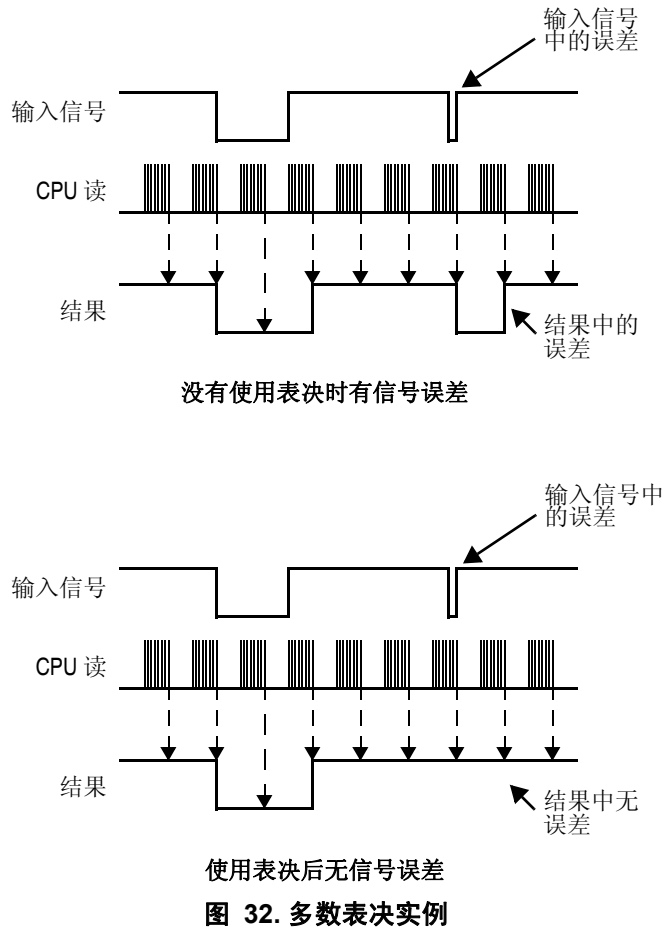
在很多情况下，嵌入式软件的结构以及它是如何与系统中的其他部分相互作用对 EFT 的测试性能影响非常大。在硬件层面上彻底消除瞬变可能不切实际而且很成本昂贵，所以系统和软件设计人员应该事先考虑到偶然的错误信号或电源干扰，它们可能会造成软件运行不稳定。软件中的不稳定动作可分为两类：

- 虚假信号检测：MCU 发现了输入信号上的变化、或者片上硬件对非正常输入信号作出反应，但软件不具备忽略它们或以一种安全且正确的方式处理它们的“智能”。
- 代码跑飞：当干扰造成了软件代码执行流程被破坏，CPU 开始乱序地或从错误的存储区中执行代码时，就出现了代码跑飞的情况。

我们提到的软件设计方法可以用“预防性软件设计”解决这些问题。以下是用于预防性软件设计的一些常用且有效的技术。

4.1 数字信号输入引脚

系统中的输入引脚特别脆弱时，这种考虑非常重要。一般来说，测出来的系统噪声干扰的持续时间在 10ns ~ 100ns 范围内。使用简单的软件滤波技术（如多数表决或轮询）就可以使系统忽略这些干扰。这种技术的普通应用如图 32 所示。



在多数表决技术中，以预先确定的次数多次读输入信号，大部分时间读到的逻辑状态被认为是正确的状态。

在轮询技术中，检测到引脚状态改变时，再以一个预先确定的时间间隔对该引脚采样几次，以确保该引脚仍在那种状态下。这可以确保该状态变化持续了足够长的时间，从而被认为是有效的状态变化，而不是干扰信号。这种技术对中断输入引脚特别有用，如 IRQ 引脚、键盘中断（KBI）引脚。对机械开关输入去抖动时经常用到这种技术。

4.2 数字信号输出及关键寄存器

在系统软件的主循环中，用户软件应该频繁更新输出以及其他控制输出引脚的关键寄存器。包括：

- 数据方向寄存器
- 可被软件修改的 I/O 模块
- 用于应用中重要部分的 RAM 寄存器

在没有大干扰的情况下，这可以纠正所有的小故障。尽可能经常地刷新这些寄存器。持续的写 / 更新不应该影响输出和 RAM 寄存器的可靠性。应该注意的是，由于写相应控制寄存器可能会影响某些状态位，所以在重新初始化时，要确保那些功能（如串行通信、定时器）处于非工作状态。

4.3 边界检查

边界检查是验证 MCU 输入信号有效性的一种方法。在输入信号（数字的或模拟的）不能被过滤（如前面所讨论的那种多数表决方案）的情况下，将不得不使用这种方法。

例如，进入某个定时器模块的输入捕捉引脚的电干扰。可以检查被捕捉的定时器的计数值，以确定它是否接近期望值。进一步举例来说，假设定时器输入捕捉是用于测量输入脉冲的持续时间。如果输入信号的周期在一个范围内（如 1 ms~10 ms），那么 5 μ s 的测量周期应该被认为是“坏数据”，并作适当处理。

4.4 振荡器及其他敏感模拟引脚

MCU 上最脆弱的引脚通常是高阻抗模拟引脚（如用于振荡器电路和 PLL 锁相环的那些电路）以及模拟信号输入引脚。一般来说，在这种情况下，软件不能校正由硬件保护不周的引脚。在电路板的布局和设计上要特别注意这种类型的引脚。

不过，可以将类似于上面所述的用于数字引脚的滤波技术用于模拟信号输入引脚，如那些输入到模数转换器（ADC）的引脚。在这种情况下，可以分析转换后的值，以确定这些值是否在预期的范围内；通过对所有有效的转换值进行简单的平均，可以消除大部分噪声。

5 软件流程

5.1 令牌传递

在任何时候都应该使用结构化编程技术。从主循环向子程序（或过程）传递控制权时，通常使用 RAM 中可被子程序校验的令牌字节。一旦从子程序返回，就应该清空令牌字节或改成下一个值。这可以避免这些程序中的代码不会被跑飞的代码意外地调用或执行。图 33 和图 34 给出了一个简单的例子。

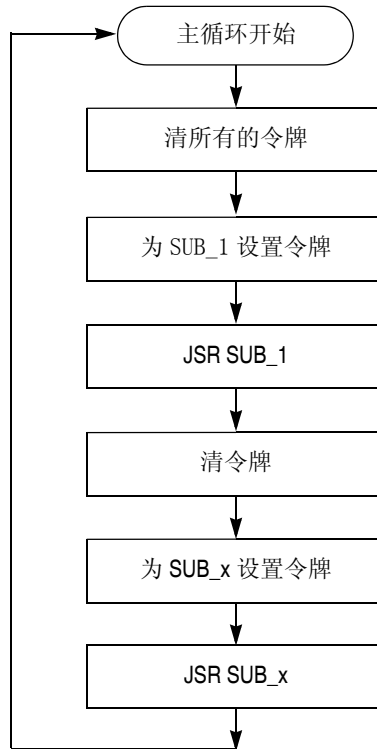


图 33. 令牌传递，主循环

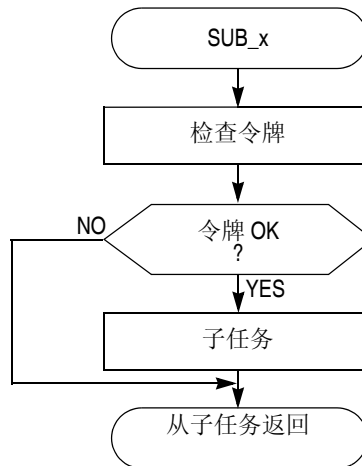


图 34. 令牌传递，子程序

5.2 填充未占用的存储区

如果出现在代码跑飞的情况，恢复正常操作的一种方便的途径是用一条单字节指令填充未占用的存储区。使用 SWI（软件中断）指令，或者隔段时间紧跟一条跳转到程序已知位置的 NOP（无操作）指令，分别如例 1 和例 2 所示。

例 1. SWI 填充存储区 |

```
Unused_mem:    SWI
```

```

SWI
SWI
|
|
|
SWI
|

```

例 2. 用 NOP 填充存储区

```

Unused_mem:  |
              NOP
              NOP
              |
              |
              JMP Known_Place
              NOP
              NOP
              |
              |
              JMP Known_Place
              |
Known_Place: JMP Reset_routine
              |

```

最好实现这种方法，使得 SWI 中断服务程序可以（通过令牌传递或其他方式）确定中断是否是被有意地调用，并执行正确的操作。大多数链接器或编程器可以选择是否用相同的数据填充未占用的存储块。

5.3 未用的中断向量

定义所有的中断向量，包括那些不用的。MCU 未用功能的向量应该指向一个安全的例程，使其被执行时就能指出错误情况。

5.4 硬件保护功能

为了提供系统的稳定性和可靠性，硬件保护功能被包含到 MCU 中。它们有助于系统从那些硬件保护机制无法解决的且可能导致代码跑飞的严重电干扰事件中恢复过来。一般来说，应尽量使用 MCU 中可用的所有保护功能。

在列举这些良好的设计实践之前，必须要求在 MCU 初始化代码已开启了这些功能。在有些 MCU 中，配置寄存器中的使能位可以控制大多数这些功能。由于这些位通常是只可写一次，所以即使不改变其默认状态，软件还是有必要写这些控制位。这可以防止在代码跑飞时保护机制功能不会被关掉。

5.4.1 COP（计算机正常运行或看门狗）

应该遵循下面这些好习惯，以确保 COP 硬件又快又稳定地从代码跑飞情况中恢复正常。这些准则的范围和核心在于最大限度地降低由随机设置的情况来复位 COP 可能。

- 使用可能的最短 COP 超时周期，以确保跑飞情况不会持续太长时间。应用的性质将决定实际的 COP 超时周期。
- 避免在中断例程中放 COP 刷新指令。即使 CPU 在主程序中进入一个未知的循环，还是可以进入中断。
- 最好在主循环中使用一个单一的 COP 刷新操作。
- 如果主循环周期大于 COP 延时，应在相等的间隔为 COP 延时周期的 80% 处放置刷新操作。
- 如果主循环周期小于 COP 延时，引入软件技术，仅在大约为 COP 延时周期的 80% 时刷新
- 任何复位 COP 的循环应在一个有限的时间内超时。这个时间取决于系统能忍受 CPU 执行错误代码的时间
- 任何复位 COP 的循环不应该包含一条从循环底部到顶部的无条件跳转指令，除非它是基于多个条件，而不是仅有一条单 CPU 指令。
- 是否复位 COP 应该取决于多个条件，不只是一个。例如，不要只取决于一个 CPU 条件代码位或一个状态寄存器位。
- 应该检查存储器，以确保不包含那种如果执行就会无意复位 COP 的字节串。例如，HC08 MCU 内的数据表可能存放在存储器的某个位置，其中包含嵌入的下列数据串：
.....\$C7,\$FF,\$FF,.....
如果 CPU 跑飞了，并试图执行包含 \$C7 的地址内的指令，它就会执行一条写 \$FFFF 地址的指令，在 HC08 MCU 中这将复位 COP。
- 复位 COP 应该基于很可能随机出现的一系列条件。不要仅基于 RAM 中单个位或单个字节、单个状态寄存器位来复位 COP。在复位 COP 之前先检查系统状态的完整性。

5.4.2 非法指令以及非法地址复位

如果所选 MCU 中有就使用这些功能。在代码跑飞的情况下，它是一种潜在的快速恢复系统的方法。连同这些中断或复位事件一起，许多 MCU 都有一个复位状态寄存器和中断状态寄存器，它们有助于确定复位或中断源，使得软件可以采取适当的操作。

非法地址复位在存储空间较少的 MCU 的保护效率最高，这是因为 MCU 最可能试图执行位于存储映射中未实现部分中的代码时跑飞。

5.4.3 低电压检测（LVD）电路

如果所选的 MCU 包含集成的电源监控电路，它会在突然掉电的情况下产生复位，就可以把该功能用于保护 MCU 不会进入代码跑飞的情况。但是，谨记 LVD 电路可能检测不到电源电压的非常快的掉电和恢复，这是因为通常会故意将这些电路的响应时间减慢。

5.4.4 其他提示

如果有可能的话，将软件设计为能容忍 MCU 复位。带有好的反馈和系统完整性检查的系统的可靠性更好，而且更容易从系统假复位中恢复。

6 结论

在低成本的嵌入式应用中实现瞬变免疫能力是一个复杂又耗时的过程，特别是如果之前没有经常在设计应用中运用过这些技术。另外，如果不将瞬变保护尽可能靠近交流电，也将会对 EMC 保护的复杂度产生不利影响。嵌入式应用的最初设计应该最大限度地考虑 EMC，以便于设计预算和产品进度不会耽误在在 EMC 阶

段。如果实现了理想的 EMC 性能，成本的降低在随后很容易就可以实现。在设计中将元件从产品中移走总是比后来增加元件更容易。

一般来说，系统的 EFT 或 ESD 性能会严重受到软件结构及操作的影响。正如先前所述，这些技术被认为是防止系统对 EFT 或 ESD 事件的不良反应所必需的，而且是最后一道防线。软件可以影响系统对到达 MCU 的干扰的反应，而硬件 PCB 板和系统硬件设计应该在干扰到达 MCU 之前就将其变小或消除。

附录 A 应用实例 1

为了演示本应用笔记中包含的设计指导原则应用，设计了一块通用的家电控制器板。该应用是在 8 位微控制器 MC68HC908AP32 的基础上设计的。

A.1 电路板的特点

设计的演示电路板包含以下特点：

- 基于 Freescale 的 8 位微控制器 MC68HC908AP32
- 在线编程头
- 低成本的 32kHz 晶体振荡源
- 1 个带有 LED 显示的电位器输入
- 2 个用于微控制器模式控制的按键式开关输入
- 1 个 8 位的连到板外连接器的 GPIO 端口
- 3 个驱动继电器的输出，用于将 AC 电源切换到板外负载
- 带有降压变压器、全波整流桥和二次电压调节功能的传统通用的线性电源电路

A.2 电路板设计

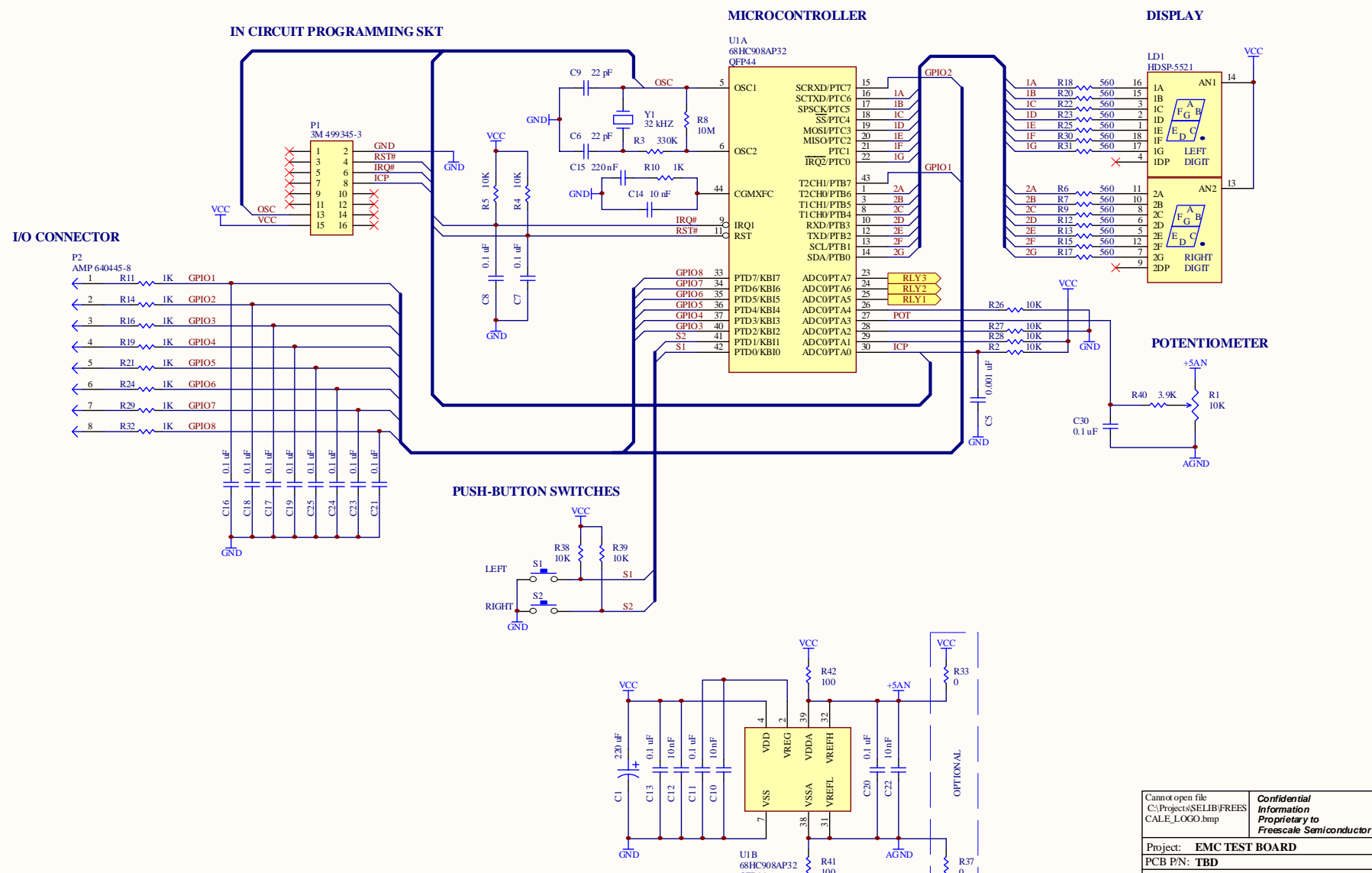
演示板的设计符合世界各地众多家电制造商的习惯和限制：

- 单层板设计
- 用于连接的跳线
- 贴片元件在电路板的铺铜面
- 过孔元件在电路板的底面
- 板外元件，包括变压器

A.3 电路板原理图

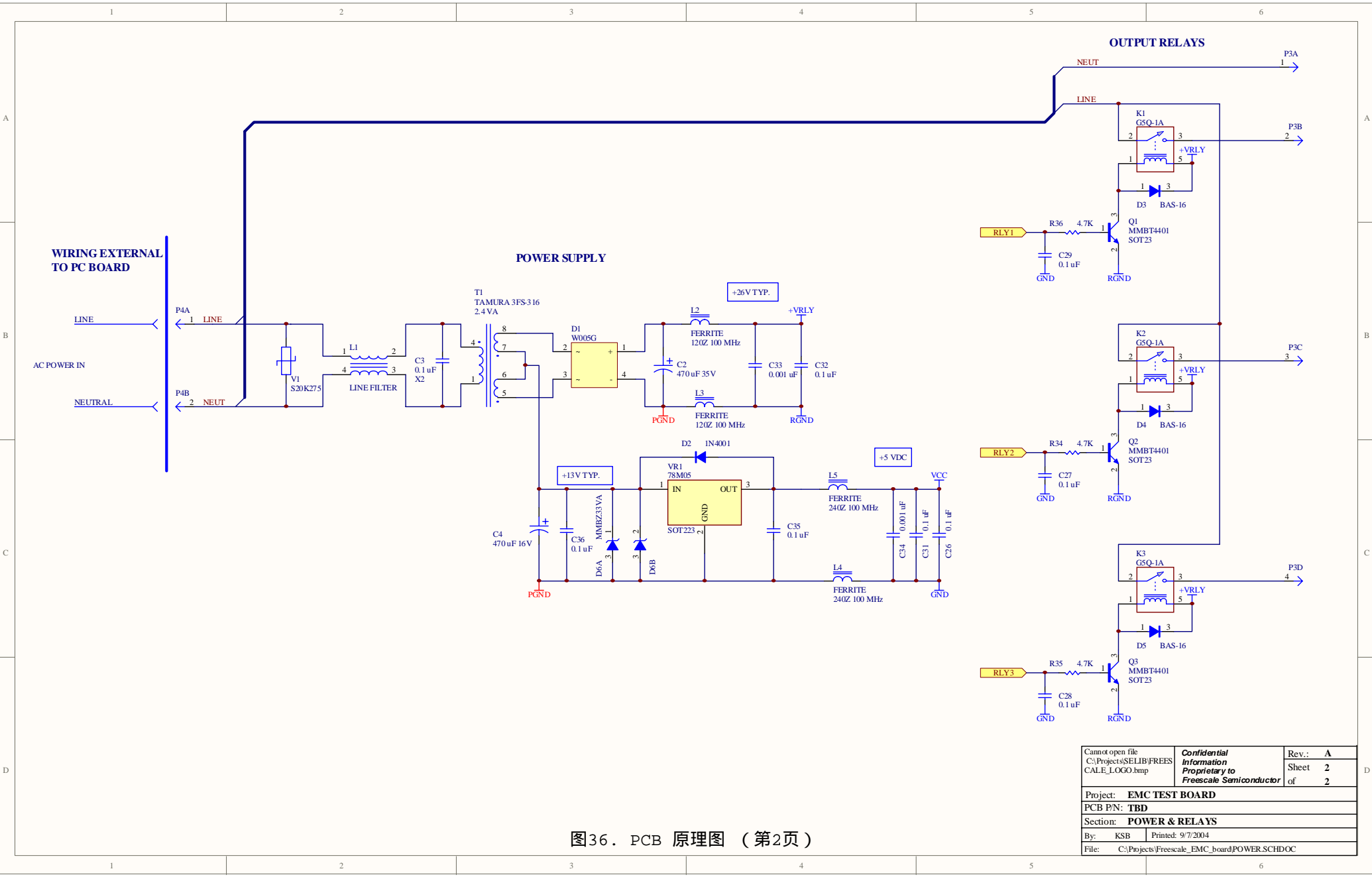
演示板的原理图见图 35 和图 36 所示。图 35 展示了微控制器及相关的输入和输出。图 36 展示了电源电路和 AC 继电器。

1 2 3 4 5 6



Cannot open file C:\Projects\SELIB\FREES CALE_LOGO.bmp	Confidential Information Proprietary to Freescale Semiconductor	Rev.: A Sheet 1 of 2
Project: EMC TEST BOARD		
PCB P/N: TBD		
Section: MCU SECTION		
By: KSB Printed: 9/7/2004		
File: C:\Projects\Freescale_EMC_board\MCU.SCHDOC		

1 2 3 4 5 6



Cannot open file C:\Projects\SELIB\FREES CALE_LOGO.bmp	Confidential Information Proprietary to Freescale Semiconductor	Rev.: A Sheet 2 of 2
Project: EMC TEST BOARD		
PCB P/N: TBD		
Section: POWER & RELAYS		
By: KSB	Printed: 9/7/2004	
File: C:\Projects\Freescale_EMC_board\POWER.SCHDOC		

图36. PCB 原理图 (第2页)

A.4 电路板的布局

演示板的单面布线如图 37 所示。AC 电源从左上角进入电路板，被输送到线性电源电路（下方）和继电器（中下方）。电路板的右边是包括微控制器在内的 DC 电源区域。

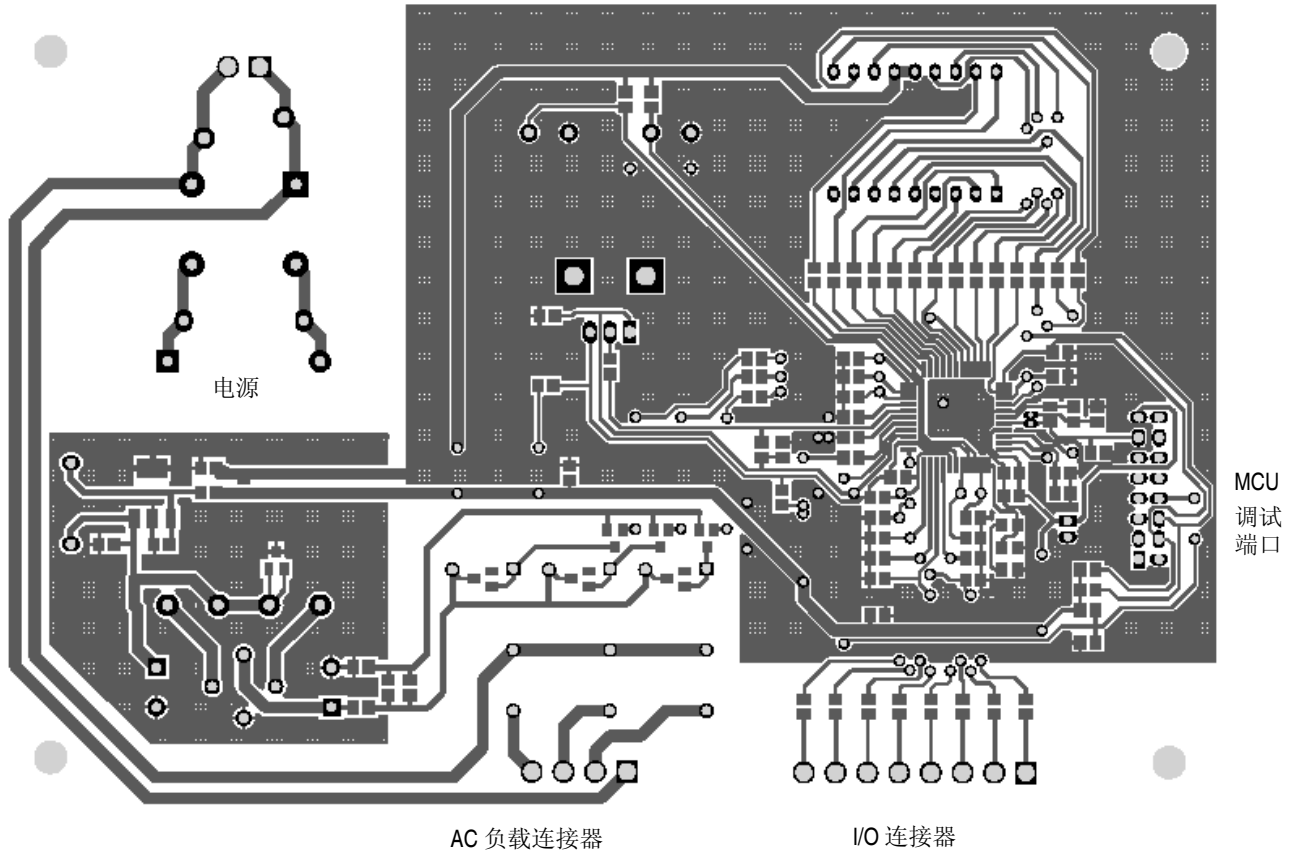


图 37. PCB 布局，铺铜面

用于连接的金属线跳线和其他细节分别见图 38 和图 39 所示的顶层和底层照片。

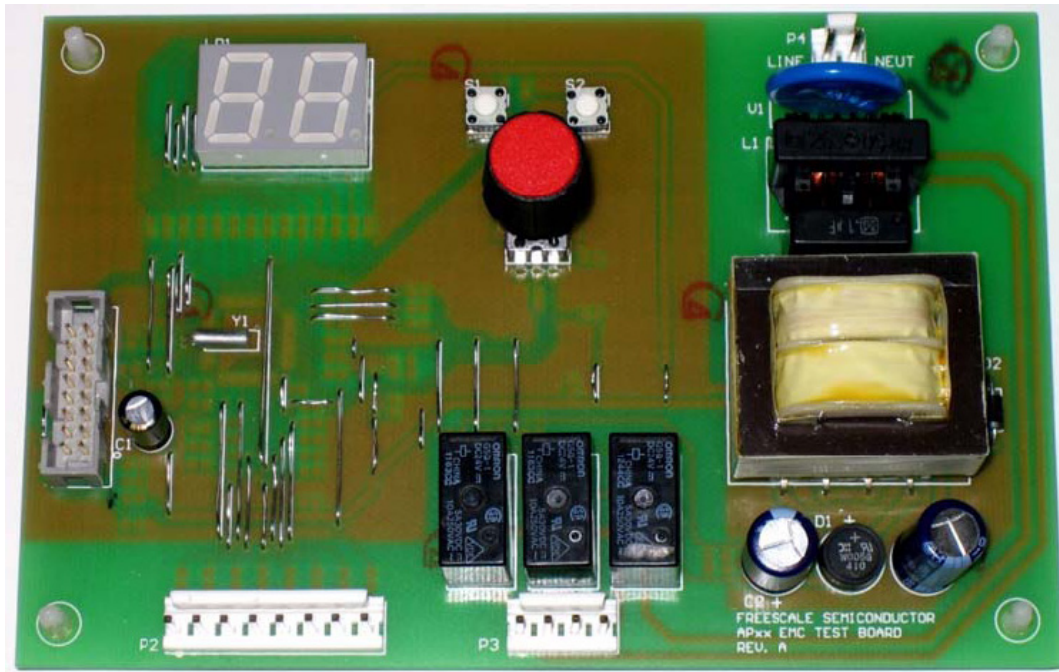


图 38. PCB 顶层

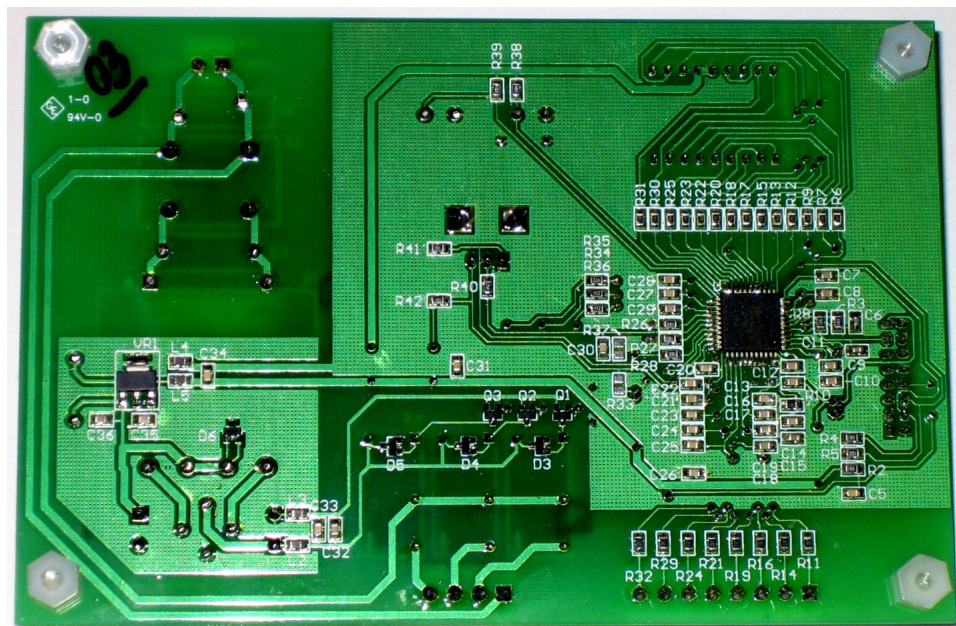


图 39. PCB 底层

A.5 原料清单

PCB 所用到的元件清单如表 4 所示。所有元件都很容易买到，板外元件可以向 DigiKey 购买。这些元件或其等效元件也可以在任何一家大的电子分销商处购买。

表 4. 原料清单

序号 #	Designator	描述	封装	Dist	Dist.Cat.No
1		PCB			
2	C6,9	Cap 22pF 5% 50V NPO 0805	0805	DK	311-1103-1
3	C5, 33, 34	Cap 1 nF 5% 50V X7R 0805	0805	DK	311-1127-1
4	C10, 12, 14, 22	Cap 10 nF 5% 50V X7R 0805	0805	DK	478-1383-1
5	C7, 8, 11, 13, 16-21, 23-32, 35, 36	Cap 0.1 μ F 10% 50V X7R 0805	0805	DK	311-1140-1
6	C15	Cap 0.22 μ F 10% 16V X7R 0805	0805	DK	490-1670-1
7	C3	Cap 0.1 μ F X-type 275 VAC	17.5 x6	DK	P10524
8	C1	Cap 220 μ F 6.3V AE 6.3D 2M	6.3D 2M	DK	P11166
9	C4	Cap 1000 μ F 16V AE 10D 5.0M	10D 5M	DK	P5142
10	C2	Cap 470 μ F 35V AE 10D 5.0M	10D 5M	DK	P5168
11	D3-5	Diode BAS16 single SOT23	SOT 23	DK	BAS16DICT
12	D6	Diode MMBZ20 dual TVS 20V SOT23	SOT 23	DK	MMBZ20 VALT10SCT
13	D2	Diode 1N4001 1A 50V rectifier	DO-41	DK	1N4001DICT
14	D1	Diode bridge 1A 50V cylinder		DK	W005GDI
15	K1-3	Relay G5Q-1A 24V SPST		DK	Z220
16	L2	3 Ferrite 120/100MHz 0.8A 0805	0805	DK	240-1041-1
17	L4, 5	Ferrite 300/100MHz 0.7A 0805	0805	DK	240-2218-1
18	L1	Line filter ELF17N005A		DK	PLK1171
19	LD1	LED dual 0.56 in. digit red		DK	516-1216-5
20	P1	Header 16-pin 0.1 in. 2x8 protected 30uin AU		DK	MHB16K
21	P4	Header 2-pin MTA 0.156 in.		DK	A1971
22	P3	Header 4-pin MTA 0.156 in.		DK	A1972
23	P2	Header 8-pin MTA 0.156 in.		DK	A1974
24	Q1-3	Trans MMBT4401 GP NPN SOT23	SOT 23	DK	MMBT4401DICT
25	R33, 37	Res 0 ohm 1/10W 0805	0805	DK	311-0.0ACT
26	R41, 42	Res 100 5% 1/10W 0805	0805	DK	311-100ACT
27	R6, 7, 9, 12, 13, 15, 17, 18, 20, 22, 23, 25, 30, 31	Res 560 5% 1/10W 0805	0805	DK	RHM560ACT

表 4. 原料清单 (续)

序号 #	Designator	描述	封装	Dist	Dist.Cat.No
28	R10, 11, 14, 16, 19, 21, 24, 29, 32	Res 1K 5% 1/10W 0805	0805	DK	311-1.0KACT
29	R40	Res 3.9K 5% 1/10W 0805	0805	DK	311-3.9KACT
30	R34-36	Res 4.7K 5% 1/10W 0805	0805	DK	311-4.7KACT
31	R2, 4, 5, 26-28, 38, 39	Res 10K 5% 1/10W 0805	0805	DK	311-10KACT
32	R3	Res 330K 5% 1/10W 0805	0805	DK	311-330KACT
33	R8	Res 10 MEG 1/10W 0805	0805	DK	311-10MACT
34	R1	Pot 10K linear 9mm		DK	P3C3103
35	S1, 2	Switch tactile 6 mm		DK	P12216SCT
36	R3, 8, 16, 19	Transformer 2.4VA 115VAC 16VAC CT		Mouser	553-F16-150
37	U1	IC MC68HC908AP32 microcontroller	QFP-44	QFP 44	Freescale samples
38	V1	Varistor size 20 275 VAC		DK	S20K275
39	VR1	IC voltage regulator 78M05 SOT223	SOT 223	DK	296-12290-1
40	Y1	Xtal 32.768 KHz cylinder		DK	SE3201

A.6 测试方法

经过测试，演示板的瞬态免疫性能符合 IED61000-4-4。该项测试是利用 Haefely PEFT-4010 电快速瞬变发生器完成的。

A.7 测试环境

测试环境如下：

- 所有的测试和辅助设备都安放在一个接地的铜参考平面上。
- 测试板位于地参考平面以上 10cm 处。
- 为了模拟电线走线的最坏情况，板上连接器 P2 的所有 8 个 I/O 信号都被连到 10cm 外的电源线上。
- 来自电源线的安全地没被用到。它没连到板上。
- 电源线被卷起来固定在离接地参考平面 10cm 处。
- PCB 上的三个继电器通过 45cm 长的电线与 15-W 的灯泡相连。

A.8 测试配置

测试硬件的配置如下。

1. 板上的所有元件、灯泡开关、捆在一起的 I/O 电线与电源线平行。
2. 同 #1，但以下元件有所不同：去掉了金属氧化物变阻器 (V1)、用 0 Ω 电阻代替 R33 和 R37、去掉了共模滤波器 (L1)。
3. 同 # 2，但以下元件有所不同：去掉了 MCU 的大电容 (C1)、去掉了 24V 电源供应的铁氧化磁珠 (L2&L3)、去掉了 MCU 提供的铁氧化磁珠 (L4&L5)。

A.9 测试软件

测试软件执行以下功能：

- 复位后，7 段数码管的所有段都被点亮，而且三个灯泡继电器全部被断开。
- 按开关 S1，在逐段显示和十六进制数值（\$00-\$FF）显示间切换 LED 显示模式。逐段显示或十六进制数值显示的速度与模拟输入引脚上的电压成比例。可以通过调整电位器（R1）来改变模拟输入引脚上的电压，转换的值可以实时地显示在 LED 上。
- 按开关 S2，切换灯泡测试模式。每按一次该开关都会改变点亮的灯泡号，或导致所有的灯泡自动循环地亮暗。

A.10 测试结果

该 EFT 的测试结果归纳在表 5 中。无论采用 3 种测试硬件配置中的哪一种，该应用实例都没有出现任何可发觉的性能损失。表中的数据代表通过的（非失败的）最高测试电压的绝对值。如果该值后跟一个‘+’，则这是可用 EFT 发生器进行测试的最大值。

表 5. EFT 测试结果概述

硬件配置	Line Positive [kV]	Line Negative [kV]	Neutral Positive [kV]	Neutral Negative [kV]
1	4.5+	4.5+	4.5+	4.5+
2	4.5+	4.5+	4.5+	4.5+
3	4.5+	4.5+	4.5+	4.5+

无论是 3 种测试硬件配置中的哪一种，该应用实例都没有出现过任何可发觉的性能损失，直到达到测试仪器的输出上限。

附录 B 应用实例 2

为了演示本应用笔记中包含的设计指导原则，设计了一块通用家电控制板。该应用是在 8 位微控制器 MC9S08AP32 的基础上设计的。

B.1 电路板的特点

设计的演示电路板包含以下特点：

- 基于 Freescale 的 8 位微控制器 MC68HC908AP32
- 在线编程头
- 低成本的 32kHz 晶体振荡源
- 1 个带有 LED 显示的电位器输入
- 2 个用于微控制器模式控制的按键式开关输入
- 1 个 8 位的连到板外连接器的 GPIO 端口
- 3 个驱动继电器的输出，用于将 AC 电源切换到板外负载
- 带有二次电压产生的低成本、被动降压线性电源电路

B.2 电路板设计

演示板的设计符合世界各地家电制造商的习惯和限制：

- 单层板设计
- 用于连接的跳线
- 贴片元件在电路板的铺铜面
- 过孔元件在电路板的底面
- 板外元件，包括变压器

B.3 电路板原理图

演示板的原理图见图 40 和图 41 所示。图 40 展示了微控制器及相关的输入和输出。图 41 展示了电源电路和 AC 继电器。

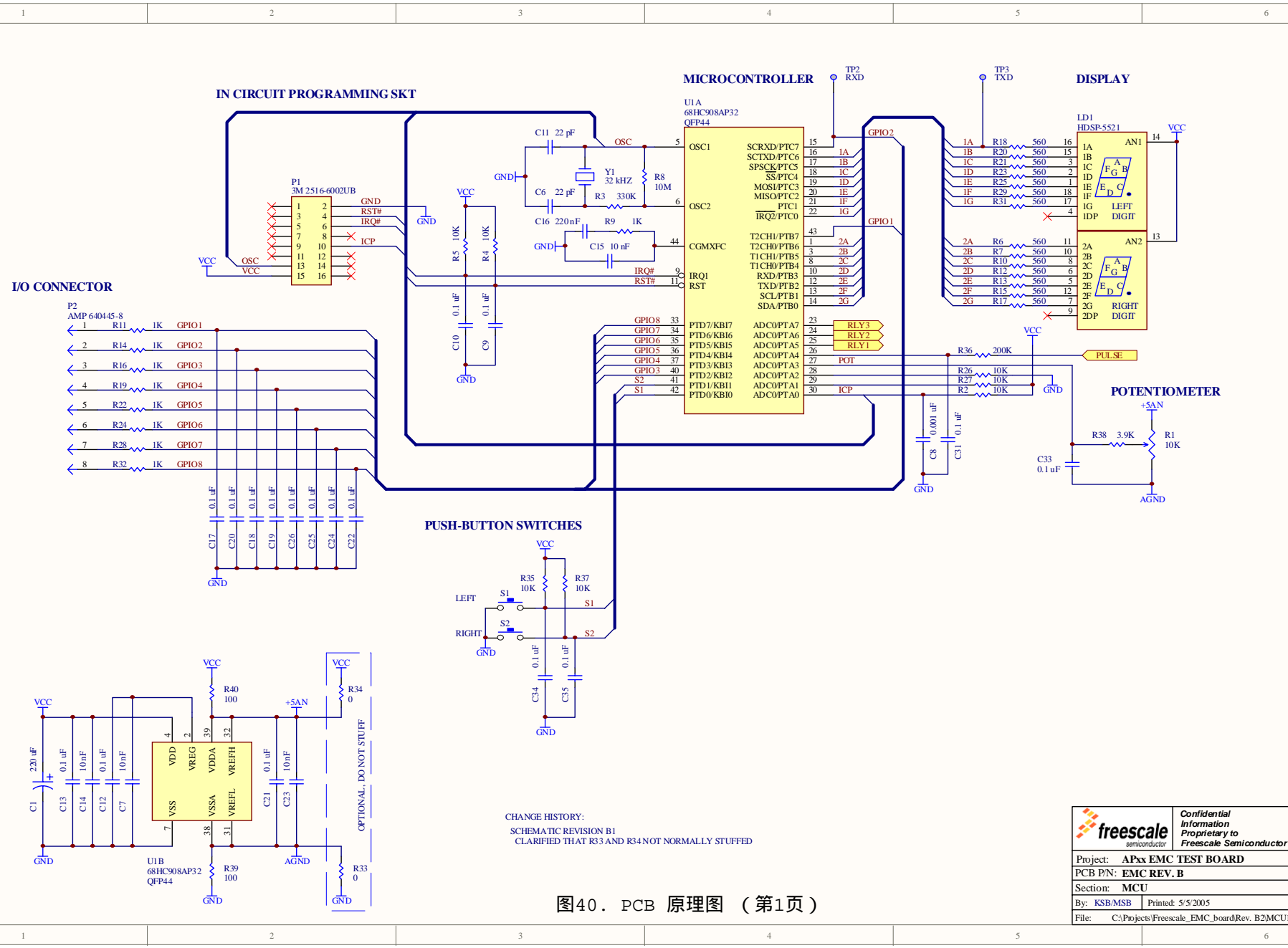


图40. PCB 原理图 (第1页)

	Confidential Information Proprietary to Freescale Semiconductor	Rev.: B2 Sheet 1 of 2
	Project: APxx EMC TEST BOARD PCB P/N: EMC REV. B Section: MCU By: KSB/MSB Printed: 5/5/2005 File: C:\Projects\Freescale_EMC_board\Rev. B2\MCU1.SCHDOC	

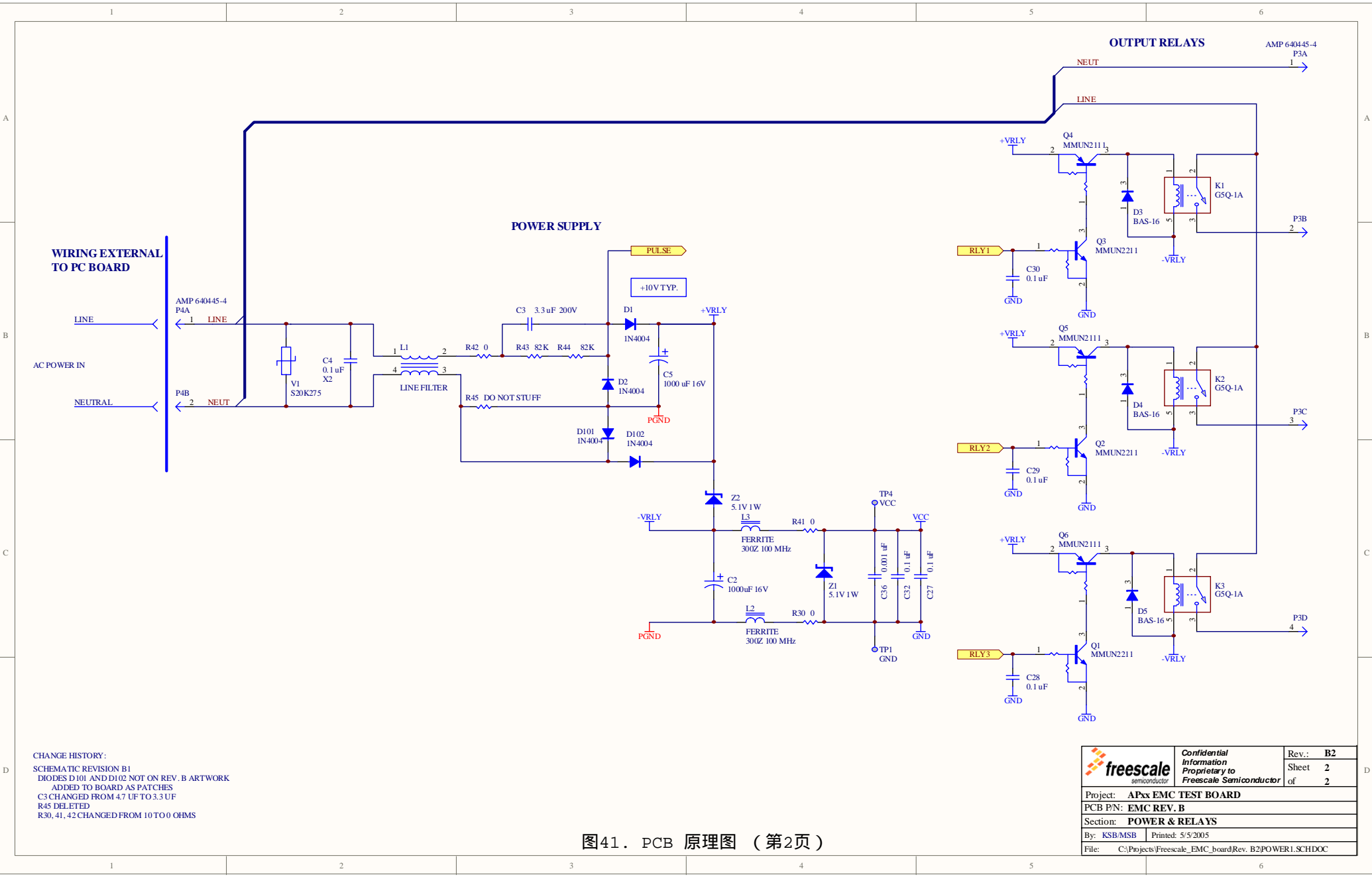


图41. PCB 原理图 (第2页)

	Confidential Information Proprietary to Freescale Semiconductor	Rev.: B2 Sheet 2 of 2
	Project: APxx EMC TEST BOARD PCB P/N: EMC REV. B Section: POWER & RELAYS By: KSB/MSB Printed: 5/5/2005 File: C:\Projects\Freescale_EMC_board\Rev. B2\POWER1.SCHDOC	

B.4 电路板的布局

演示板的单面布线如图 42 所示。AC 电源从左上角进入电路板，被输送到线性电源电路（下方）和继电器（中下方）。电路板的右边是包括微控制器在内的 DC 电源区域。

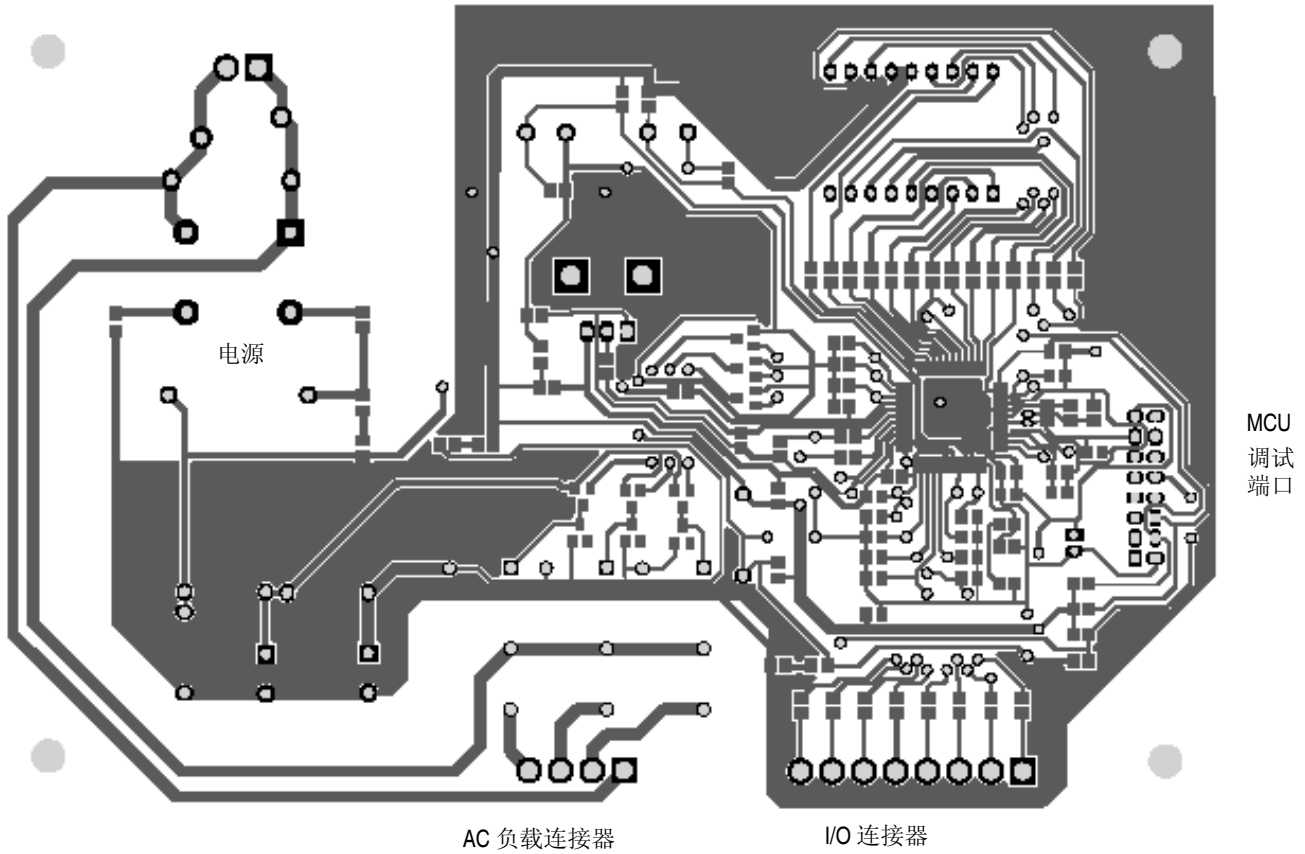


图 42. PCB 布局，铺铜面

用于连接的金属线跳线和其他细节分别见图 45 和图 46 所示的顶层和底层的照片。

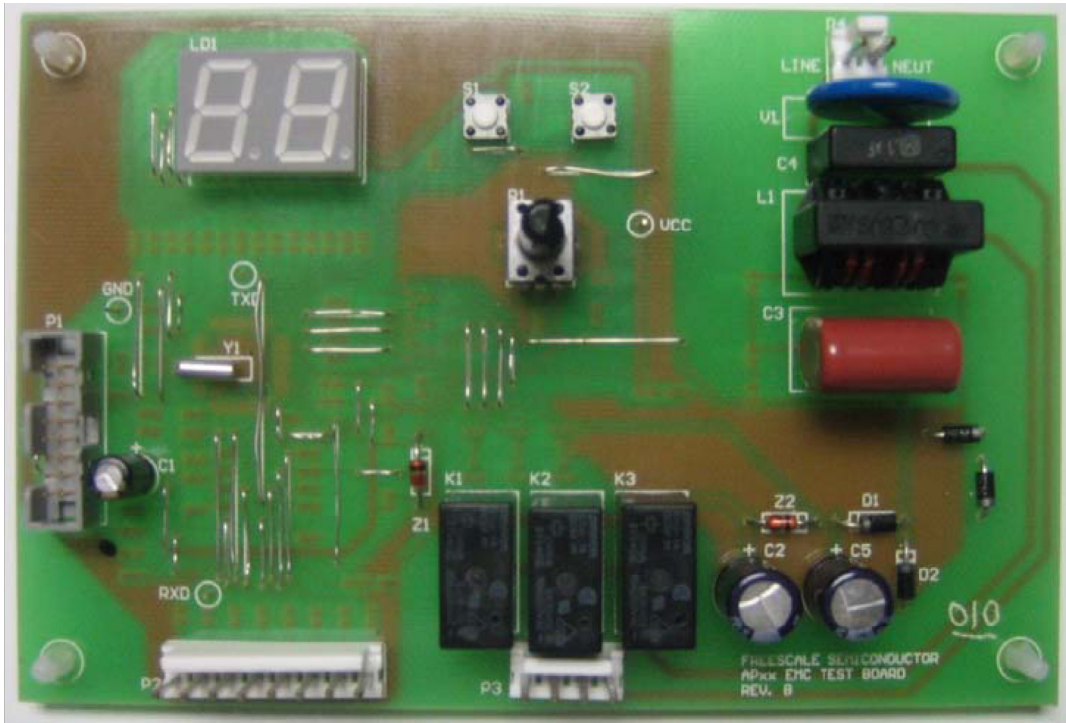


图 43. PCB 顶层

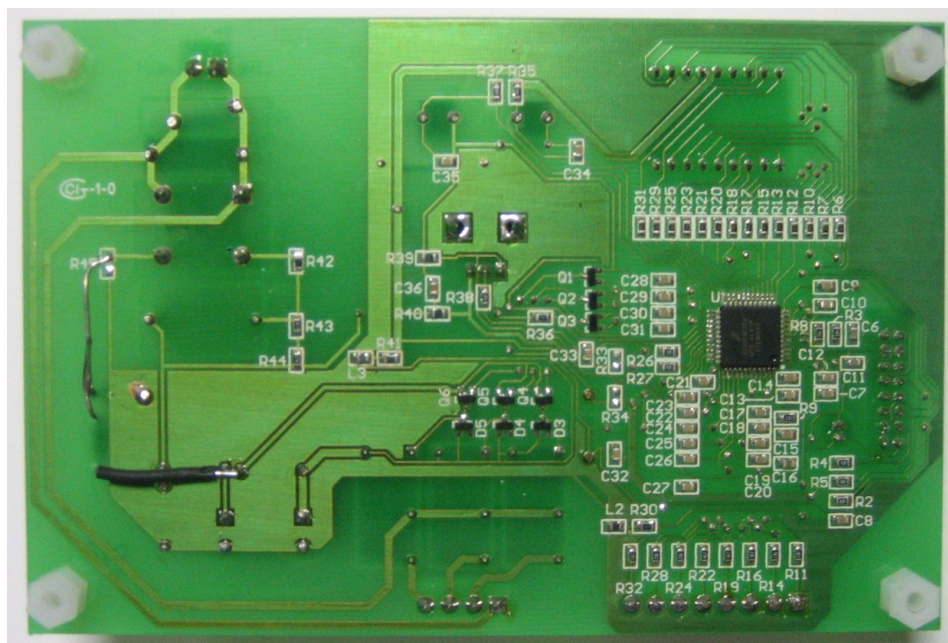


图 44. PCB 底层

改善基于微控制器的应用的瞬态免疫性能, Rev. 0

B.5 原料清单

PCB 所用到的元件清单如表 6 所示。所有元件都很容易采购，板外元件可以向 DigiKey 购买。这些元件或其等效元件也可以在任何一家大的电子分销商处购买。

表 6. 原料清单

序号 #	Designator	数量	描述	封装	Dist	Dist.Cat.No
1		1	PCB			
2	C6, 11	2	Cap 22pF 5% 50V NPO 0805	0805	DK	311-1103-1
3	C8, 36	2	Cap 1 nF 5% 50V X7R 0805	0805	DK	311-1127-1
4	C7, 14, 15, 23	4	Cap 10 nF 5% 50V X7R 0805	0805	DK	478-1383-1
5	C9,10, 12, 13, 17-22, 24-35	22	Cap 0.1uF 10% 50V X7R 0805	0805	DK	311-1140-1
6	C16	1	Cap 0.22uF 10% 16V X7R 0805	0805	DK	490-1670-1
7	C4	1	Cap 0.1 uF X-type 275 VAC	17.5x6	DK	P10524
8	C1	1	Cap 220 uF 6.3V AE 6.3D 2M	6.3D 2M	DK	P11166
9	C2, 5	2	Cap 1000 uF 16V AE 10D 5.0M	10D 5M	DK	P5142
10	C3	1	Cap 3.3 uF 250V Met Poly	20.8L/17.5M	DK	P10985
11	D3-5	3	Diode BAS16 single SOT23	SOT23	DK	BAS16DICT
12	D1, 2, 101, 102	4	Diode 1N4004 1A 400V rectifier	DO-41	DK	1N4004DICT
13	K1-3	3	Relay G5Q-1A 5V SPST		Mouser	653-G5Q-1A-DC5
14	L2, 3	2	Ferrite 120/100MHz 0.8A 0805	0805	DK	240-1041-1
15	L1	1	Line filter ELF17N005A		DK	PLK1171
16	LD1	1	LED dual 0.56 in. digit red		DK	516-1216-5
17	P1	1	Header 16-pin 0.1 in. 2x8 protected 30uIN AU		DK	MHB16K
18	P4	1	Header 2-pin MTA 0.156 in.		DK	A1971
19	P3	1	Header 4-pin MTA 0.156 in.		DK	A1972

表 6. 原料清单 (续)

序号 #	Designator	数量	描述	封装	Dist	Dist.Cat.No
20	P2	1	Header 8-pin MTA 0.156 in.		DK	A1974
21	Q1-3	3	Trans MMUN2211 NPN bias 10K/10K SOT23	SOT23	DK	MMUN2211LT1OSCT
22	Q4-6	3	Trans MMUN2111 PNP bias 10K/10K SOT23	SOT23	DK	MMUN2111LT1OSCT
23	R30, 41, 42, [33, 34, 35]	3	Res 0 ohm 1/10W 0805	0805	DK	311-0.0ACT
24	R30, 41, 42, 45	4	Res 10 ohm 1/10W 0805	0805	DK	311-10ACT
25	R39, 40	2	Res 100 5% 1/10W 0805	0805	DK	311-100ACT
26	R6, 7, 10, 12, 13, 15, 17, 18, 20, 21, 23, 25, 29, 31	14	Res 560 5% 1/10W 0805	0805	DK	RHM560ACT
27	R9, 11, 14, 16, 19, 22, 24,28, 32	9	Res 1K 5% 1/10W 0805	0805	DK	311-1.0KACT
28	R38	1	Res 3.9K 5% 1/10W 0805	0805	DK	311-3.9KACT
29	R2, 4, 5, 26, 27, 35, 37	7	Res 10K 5% 1/10W 0805	0805	DK	311-10KACT
30	R43, 44	2	Res 82K 5% 1/10W 0805	0805	DK	311-82KACT
31	R36	1	Res 200K 5% 1/10W 0805	0805	DK	311-200KACT
32	R3	1	Res 330K 5% 1/10W 0805	0805	DK	311-330KACT
33	R8	1	Res 10 MEG 1/10W 0805	0805	DK	311-10MACT
34	R1	1	Pot 10K linear 9 mm		DK	P3C3103
35	S1, 2	2	Switch tactile 6 mm		DK	P12216SCT
36	U1	1	IC MC68HC908AP32 microcontroller QFP-44	QFP44	Freescall	samples
37	V1	1	Varistor size 20 275 VAC		DK	S20K275
38	Y1	1	Xtal 32.768 KHz cylinder		DK	SE3201
39	Z1, 2	2	Zener 1N4733 5.1V 5% 1W	DO-41	DK	1N4733ADICT

改善基于微控制器的应用的瞬态免疫性能, Rev. 0

表 6. 原料清单 (续)

序号 #	Designator	数量	描述	封装	Dist	Dist.Cat.No
ACCESSORIES NOT PART OF PCB ASSEMBLY						
40	[Plugs into P4]	1	Socket 2-pin MTA		DK	A19950
41	[Plugs into P3]	1	Socket 4-pin MTA		DK	A19952
42	[Plugs into P2]	1	Socket 8-pin MTA		DK	A19956
43	[For 3 sockets above]	14	Terminal crimp female MTA tin		DK	A19990CT

B.6 测试方法

经过测试，演示板的瞬态免疫性能符合 IED61000-4-4。该项测试使用 Haefely PEFT-4010 电快速瞬变发生器。

B.7 测试环境

测试环境如下：

- 所有的测试和辅助设备都安放在一个接地的铜参考平面上。
- 测试板位于地参考平面以上 10cm 处。
- 为了模拟电线走线的最坏情况，板上连接器 P2 的所有 8 个 I/O 信号都被连到 10cm 外的电源线上。
- 来自电源线的安全地没被用到。它没连到板上。
- 电源线被卷起来固定在离接地参考平面 10cm 处。
- PCB 上的三个继电器通过 45cm 长的电线与 15 W 的灯泡相连。

B.8 测试配置

测试硬件的配置如下。

1. 板上的所有元件、灯泡开关、捆在一起的 I/O 电线与电源线平行。
2. 同 #1，但以下元件有所不同：去掉了金属氧化物变阻器 (V1)、用 0 Ω 电阻代替 R33 和 R37、去掉了共模滤波器 (L1)。
3. 同 # 2，但以下元件有所不同：去掉了 MCU 的大电容 (C1)、去掉了 24V 电源供应的铁氧化磁珠 (L2&L3)、去掉了 MCU 提供的铁氧化磁珠 (L4&L5)。

B.9 测试软件

测试软件执行以下功能：

- 复位后，7 段数码管的所有段都被点亮，而且三个灯泡继电器全部被断开。
- 按开关 S1，在逐段显示和十六进制数值显示 (\$00-\$FF) 间切换 LED 显示模式。逐段显示或十六进制数值显示的速度与模拟输入引脚上的电压成比例。可以通过调整电位器 (R1) 来改变模拟输入引脚上的电压，转换的值可以实时地显示在 LED 上。
- 按开关 S2，切换灯泡测试模式。每按一次该开关都会改变点亮的灯泡号，或导致所有的灯泡自动循环地亮暗。

B.10 测试结果

该 EFT 的测试结果归纳在表 7 中。无论采用 3 种测试硬件配置中的哪一种，该应用实例未出现任何可发觉的性能损失。表中的数据代表通过的（非失败的）测试电压的绝对值。如果该值后跟一个‘+’，则这是可用 EFT 发生器进行测试的最大值。

表 7. EFT 测试结果概述

硬件配置	Line Positive [kV]	Line Negative [kV]	Neutral Positive [kV]	Neutral Negative [kV]
1	4.5+	4.5+	4.5+	4.5+
2	4.5+	4.5+	4.5+	4.5+
3	4.5+	4.5+	4.5+	4.5+

无论是 3 种测试硬件配置中的哪一种，该应用实例都没有出现过任何可发觉的性能损失，直到达到测试仪器的输出上限。

附录 C 应用实例 3

为了演示本应用笔记中包含的设计指导原则，设计了一块通用家电控制板。该应用是在 8 位微控制器 MC9S08AW60 的基础上设计的。

C.1 电路板的特点

设计的演示电路板包含以下特点：

- 基于 Freescale 的 8 位微控制器 MC9S08AW60
- 在线编程头
- 低成本的 32kHz 晶体振荡源
- 2 个带有 LED 显示的电位器输入
- 用于微控制器模式控制的 2 个按键式开关输入
- 1 个 10 位的连到板外连接器的 GPIO 端口
- 3 个驱动继电器的输出，用于将 AC 电源切换到板外负载
- 带有二次电压产生的低成本、被动降压线性电源供应

C.2 电路板设计

演示板的设计采用了世界各地许多家电制造商所使用的习惯和限制：

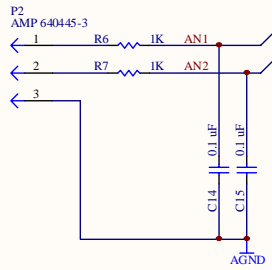
- 单层板设计
- 用于连接的跳线
- 贴片元件在电路板的铺铜面
- 过孔元件在电路板的底面
- 板外元件，包括变压器

C.3 电路板原理图

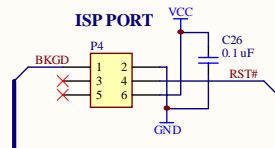
演示板的原理图见图 45 和图 46 所示。图 45 展示了微控制器及相关的输入和输出。图 46 展示了电源电路和 AC 继电器。



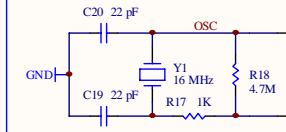
ANALOG INPUT CONNECTOR



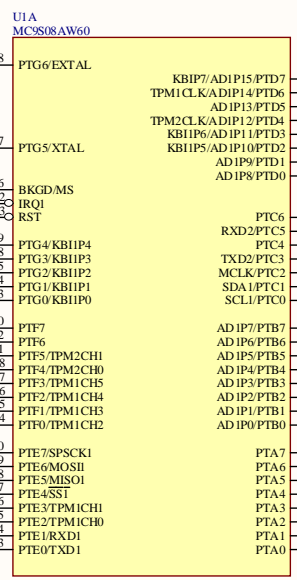
ISP PORT



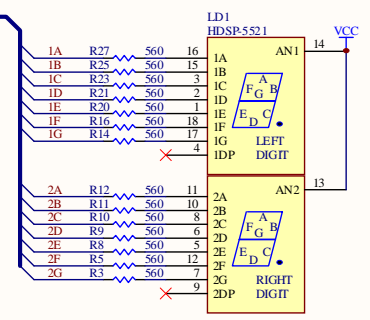
OPTIONAL COMPONENTS
ONLY FOR PRECISION TIMING
UNNEEDED FOR TYPICAL CONTROLLER



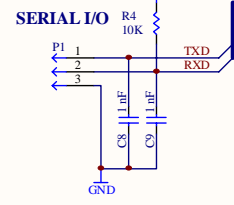
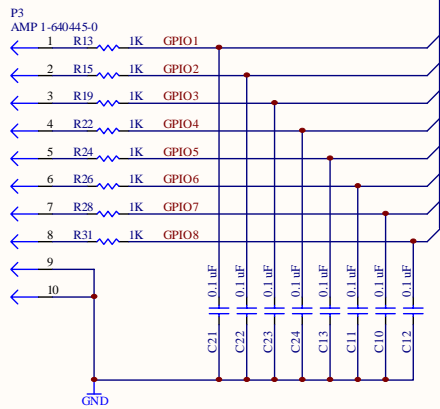
MICROCONTROLLER



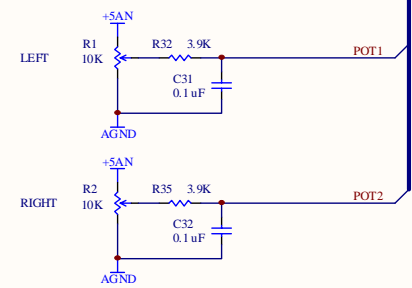
DISPLAY



GPIO CONNECTOR



POTENTIOMETERS



PUSH-BUTTON SWITCHES

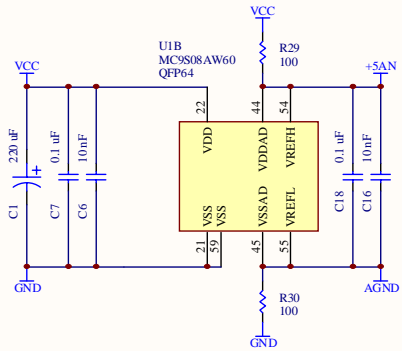
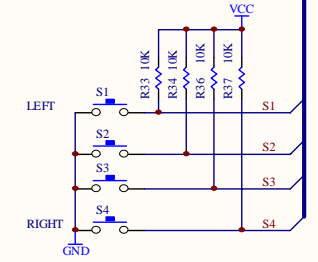


图45. PCB 原理图 (第1页)

	Confidential Information Proprietary to Freescale Semiconductor	Rev.: A Sheet 1 of 2
	Project: AWxx EMC TEST BOARD PCB P/N: AW60 EMC REV. A Section: MCU By: KSB/MSB Printed: 4/13/2005 File: C:\Projects\FREESCALE EMC\Rev.C\MCU.SCHDOC	

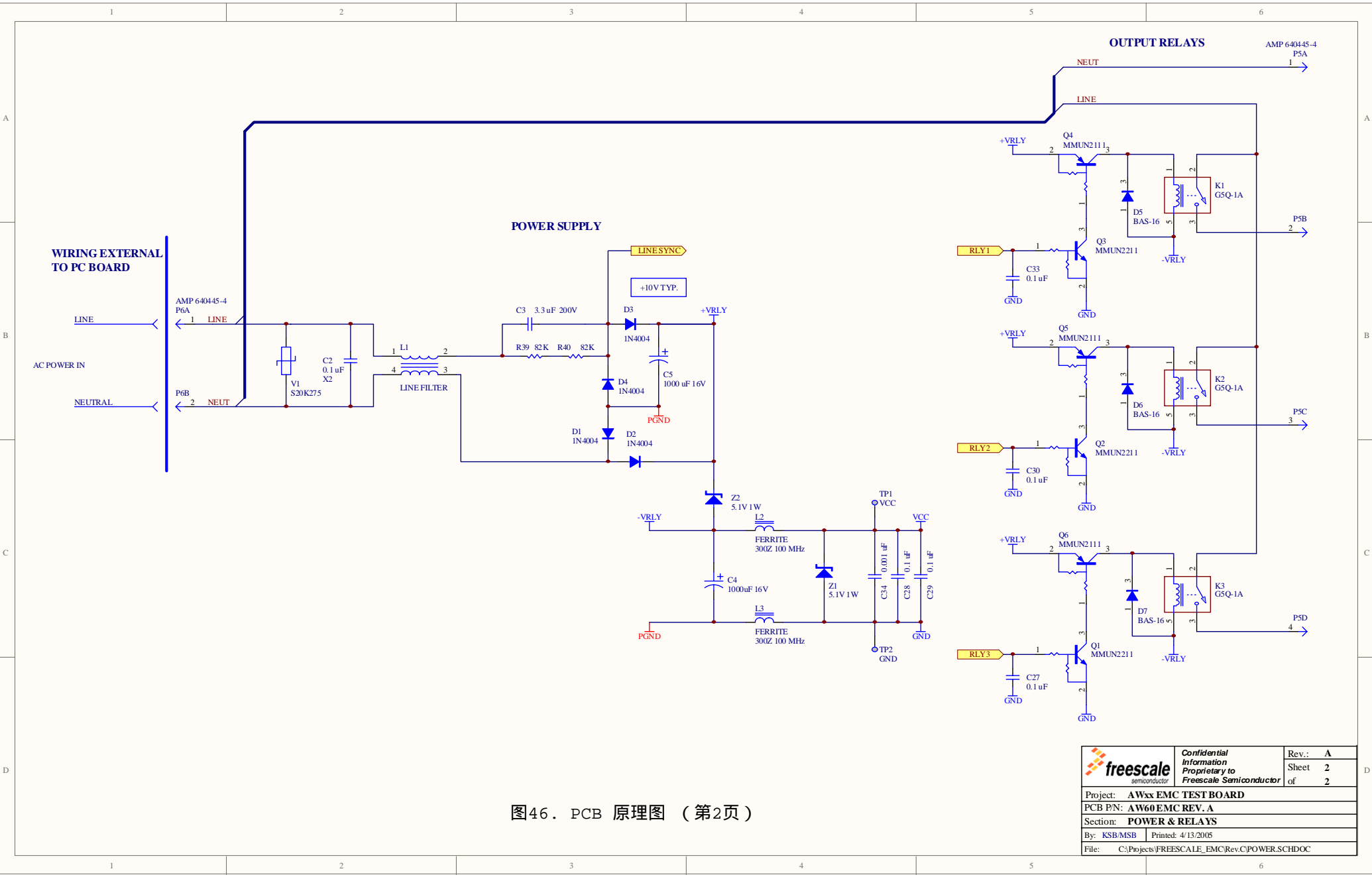


图46. PCB 原理图 (第2页)

	Confidential Information Proprietary to Freescale Semiconductor	Rev.: A Sheet 2 of 2
	Project: AWxx EMC TEST BOARD PCB P/N: AW60 EMC REV. A Section: POWER & RELAYS By: KSB/MSB Printed: 4/13/2005 File: C:\Projects\FREESCALE_EMC\Rev.C\POWER.SCHDOC	

C.4 电路板的布局

演示板的单面布线如图 47 所示。AC 电源从左上角进入电路板，被输送到线性电源电路（下方）和继电器（中下方）。电路板的右边是包括微控制器在内的 DC 电源区域。

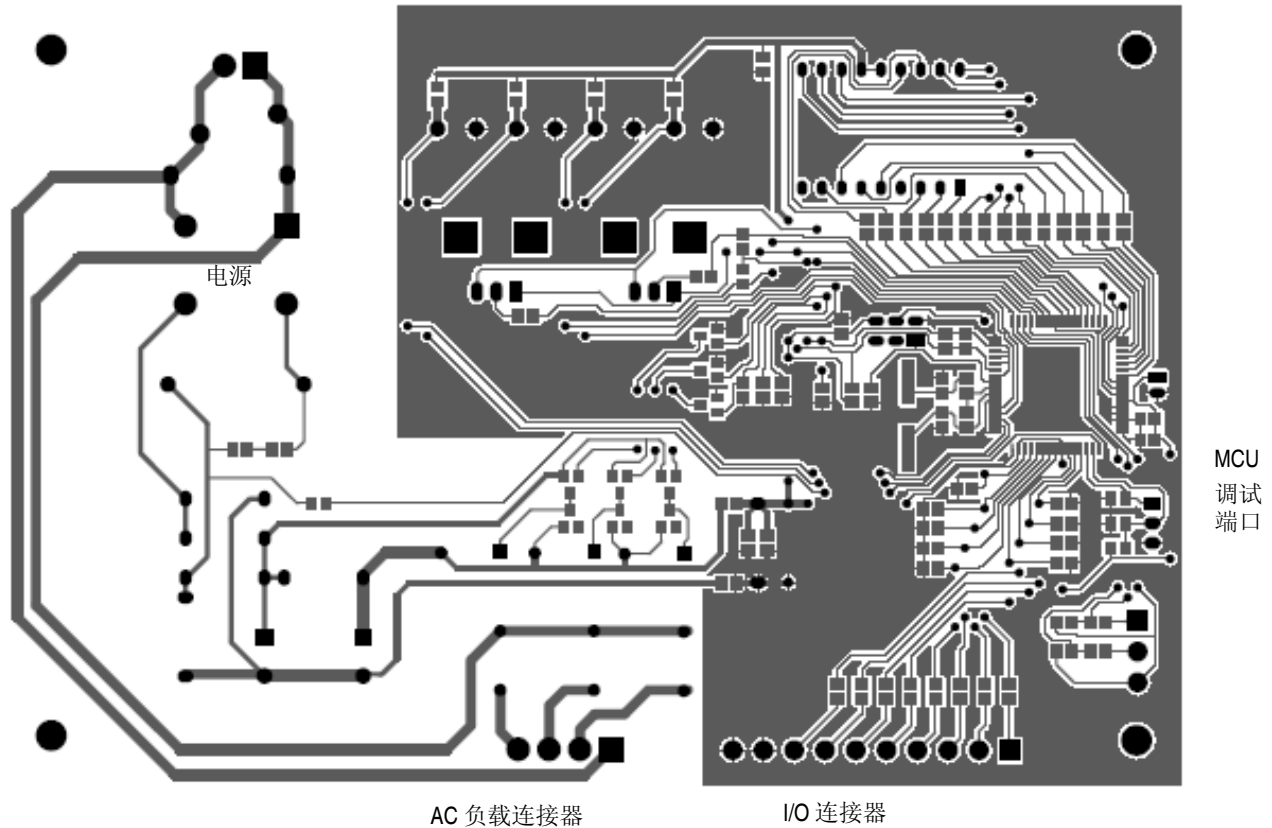


图 47. PCB 布局，铺铜面

用于连接的金属线跳线和其他细节分别见图 48 和图 49 所示的顶层和底层照片。

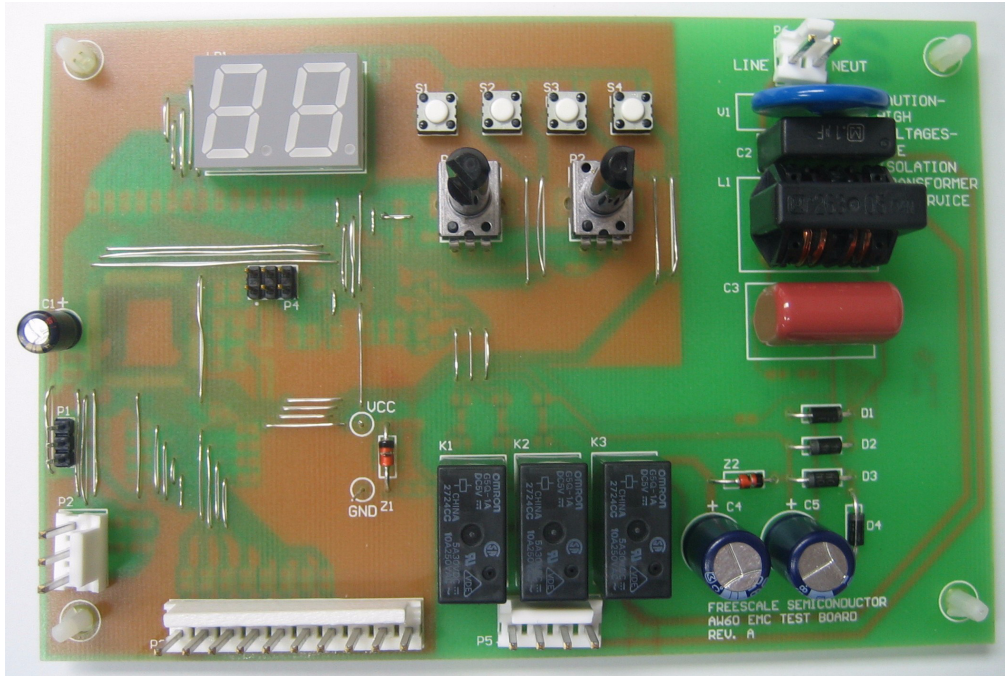


图 48. PCB 顶层

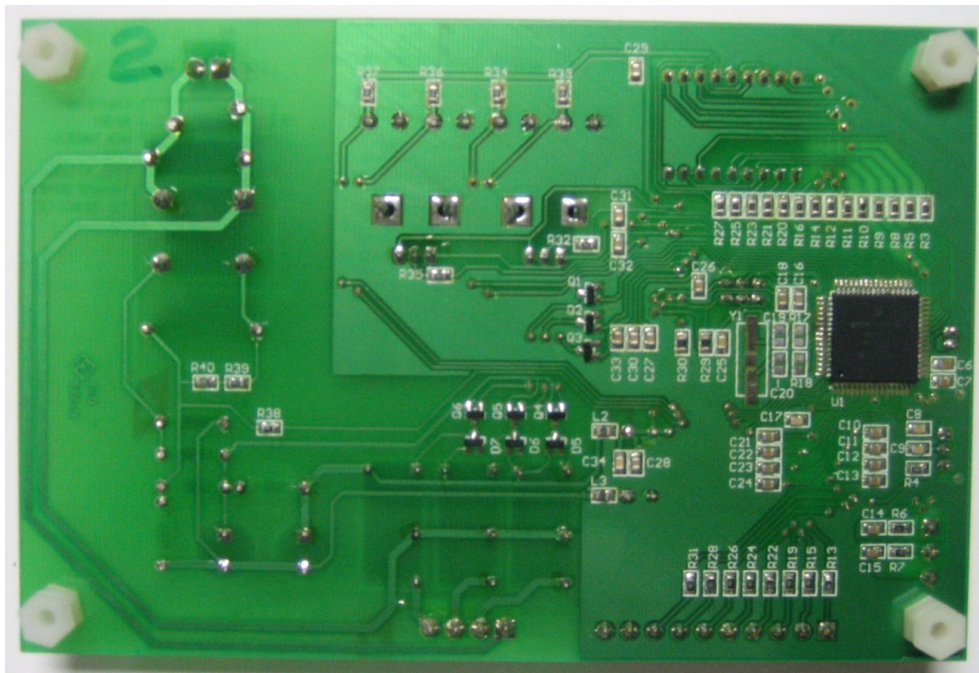


图 49. PCB 底层

C.5 原料清单

PCB 所用到的元件清单如表 8 所示。所有元件都很容易购买，板外元件可以向 DigiKey 购买。这些元件或其等效元件也可以在任何一家大的电子分销商处购买。

表 8. 原料清单

序号 #	Designator	数量	描述	封装	Dist	Dist.Cat.No
1		1	PCB			
2	C8, 9, 17, 25, 34	5	Cap 1 nF 5% 50V X7R 0805	0805	DK	311-1127-1
3	C6, 16	2	Cap 10 nF 5% 50V X7R 0805	0805	DK	478-1383-1
4	C7, 10-15, 18, 21-24, 26-33	20	Cap 0.1uF 10% 50V X7R 0805	0805	DK	311-1140-1
5	C2	1	Cap 0.1 uF X-type 275 VAC	17.5x6	DK	P10524
6	C1	1	Cap 220 uF 6.3V AE 6.3D 2M	6.3D 2M	DK	P11166
7	C4, 5	2	Cap 1000 uF 16V AE 10D 5.0M	10D 5M	DK	P5142
8	C3	1	Cap 3.3 uF 250V Met Poly	20.8L/17.5M	DK	P10985
9	D5-7	3	Diode BAS16 single SOT23	SOT23	DK	BAS16DICT
10	D1-4	4	Diode 1N4004 1A 400V rectifier	DO-41	DK	1N4004DICT
11	K1-3	3	Relay G5Q-1A 5V SPST		Mouser	653-G5Q-1A-DC5
12	L2, 3	2	Ferrite 120/100MHz 0.8A 0805	0805	DK	240-1041-1
13	L1	1	Line filter ELF17N005A		DK	PLK1171
14	LD1	1	LED dual 0.56 in. digit red		DK	516-1216-5
15	P4	1	Header 6-pin 0.1 in. 2x3 vert 15uIN AU		DK	WM6806
16	P6	1	Header 2-pin MTA 0.156 in.		DK	A1971
17	P2	1	Header 3-pin MTA 0.156 in.		DK	A1971
18	P5	1	Header 4-pin MTA 0.156 in.		DK	A1972
19	P3	1	Header 10-pin MTA 0.156 in.		DK	A1975

表 8. 原料清单 (续)

序号 #	Designator	数量	描述	封装	Dist	Dist.Cat.No
20	P1	1	Header 3-pin vert 0.1 in. tin		DK	WM6403
21	Q1-3	3	Trans MMUN2211 NPN bias 10K/10K SOT23	SOT23	DK	MMUN2211LT1OSCT
22	Q4-6	3	Trans MMUN2111 PNP bias 10K/10K SOT23	SOT23	DK	MMUN2111LT1OSCT
23	R29, 30	2	Res 100 5% 1/10W 0805	0805	DK	311-100ACT
24	R3, 5, 8-12, 14, 16, 20,21, 23, 25, 27	14	Res 560 5% 1/10W 0805	0805	DK	RHM560ACT
25	R6, 7, 13, 15, 19, 22, 24,26, 28, 31	10	Res 1K 5% 1/10W 0805	0805	DK	311-1.0KACT
26	R32, 35	2	Res 3.9K 5% 1/10W 0805	0805	DK	311-3.9KACT
27	R4, 33, 34, 36, 37	5	Res 10K 5% 1/10W 0805	0805	DK	311-10KACT
28	R39, 40	2	Res 82K 5% 1/10W 0805	0805	DK	311-82KACT
29	R36	1	Res 200K 5% 1/10W 0805	0805	DK	311-200KACT
30	R1, 2	2	Pot 10K linear 9 mm		DK	P3C3103
31	S1-4	4	Switch tactile 6 mm		DK	P12216SCT
32	U1	1	IC MC9S08AW60 microcontroller QFP-64	QFP64	Freescale	samples
33	V1	1	Varistor size 20 275 VAC		DK	S20K275
34	Z1,2	2	Zener 1N4733 5.1V 5% 1W AXIAL 0.4		DK	1N4733ADICT
HIGH-PRECISION OSCILLATOR OPTION--NOT NORMALLY STUFFED						
35	C19, 20	2	Cap 22pF 5% 50V NPO 0805	0805	DK	311-1103-1
36	R17	1	Res 1K 5% 1/10W 0805	0805	DK	311-1.0KACT
37	R18	1	Res 4.7 MEG 1/10W 0805	0805	DK	311-4.7MACT
38	Y1	1	Crystal 16 MHz HCM49 SMD		DK	300-6134-1
ACCESSORIES NOT PART OF PCB ASSEMBLY						

改善基于微控制器的应用的瞬态免疫性能, Rev. 0

表 8. 原料清单 (续)

序号 #	Designator	数量	描述	封装	Dist	Dist.Cat.No
39	[Plugs into P6]	1	Socket 2-pin MTA		DK	A19950
40	[Plugs into P2]	1	Socket 3-pin MTA		DK	A19951
41	[Plugs into P5]	1	Socket 4-pin MTA		DK	A19952
42	[Plugs into P3]	1	Socket 10-pin MTA		DK	A19956

C.6 测试方法

经过测试，演示板的瞬态免疫性能符合 IED61000-4-4。该项测试使用 Haefely PEFT-4010 电快速瞬变发生器。

C.7 测试环境

测试环境如下：

- 所有的测试和辅助设备都安放在一个接地的铜参考平面。
- 测试板位于地参考平面以上 10cm 处。
- 为了模拟电线走线的最坏情况，板上连接器 P2 的所有 8 个 I/O 信号都被连到 10cm 外的电源线上。
- 来自电源线的安全地没被用到。它没连到板上。
- 电源线被卷起来固定在离接地参考平面 10cm 处。
- PCB 上的三个继电器通过 45cm 长的电线与 15-W 的灯泡相连。

C.8 测试配置

测试硬件的配置总结如下。

1. 板上的所有元件、灯泡开关、捆在一起的 I/O 电线与电源线平行。
2. 同 #1，但以下元件有所不同：去掉了金属氧化物变阻器 (V1)、用 0 Ω 电阻代替 R29 和 R30、去掉了共模滤波器 (L1)。
3. 同 # 2，但以下元件有所不同：去掉了 MCU 的 220uF 大电容 (C1)、去掉了 MCU 提供的铁氧化磁珠 (L2&L3)、去掉了 10nF 的电容 (C6&C16)。

C.9 测试软件

测试软件执行以下功能：

- 复位后，LED 显示复位源，而且三个灯泡继电器全部吸合。按任何一个按钮都可以启动测试软件。
- 按开关 S1，手动顺序地切换三个继电器。反复按这个开关就会以一个重复的序列来循环开启这些继电器 [继电器 1 吸合，其他断开 → 继电器 2 吸合，其他断开 → 继电器 3 吸合，其他断开 → 所有继电器都断开]。
- 按开关 S2，切换继电器的手动和自动模式。当选择手动模式时，开关 S1 控制继电器的先后顺序。当选择自动模式时，继电器根据一个重复周期自动地排列顺序 [继电器 1 吸合，其他断开 → 继电器 2 吸合，其他断开 → 继电器 3 吸合，其他断开 → 所有继电器都断开]。
- 按开关 S3，在可用的模拟量输入：2 个电位器 (R1&R2) 和连接器 J2 的外部输入 (J2:1 和 J2:2) 间切换。选中的输入引脚上的模拟转换结果被显示在 LED 上。

- 按开关 S4，在逐段显示和十六进制数值显示（\$00-\$FF）间切换 LED 显示模式。逐段显示或十六进制数值显示的速度与模拟输入引脚上的电压成比例。

C.10 测试结果

该 EFT 的测试结果归纳在表 9 中。无论采用 3 种测试硬件配置中的哪一种，都没有出现过任何可发觉的性能损失。表中的数据代表通过的（非失败的）测试电压的绝对值。如果该值后跟一个‘+’，则这是可用 EFT 发生器进行测试的最大值。

表 9. EFT 测试结果概述

硬件配置	Line Positive [kV]	Line Negative [kV]	Neutral Positive [kV]	Neutral Negative [kV]
1	4.5+	4.5+	4.5+	4.5+
2	4.5+	4.5+	4.5+	4.5+
3	4.5+	4.5+	4.5+	4.5+

无论是 3 种测试硬件配置中的哪一种，该应用实例都没有出现过任何可发觉的性能损失，直到达到测试仪器的输出上限。

附录 D 参考文献

- IEC 61000-4-2, Electromagnetic compatibility (EMC) — Part 4-2: Testing and measurement techniques — Electrostatic discharge immunity test, International Electrotechnical Commission, 2001.
- IEC 61000-4-4, Electromagnetic Compatibility (EMC) — Part 4-4: Testing and measurement techniques — Electrical fast transient/burst immunity test, International Electrotechnical Commission, 2001.
- Ronald B. Standler, Protection of Electronic Circuits from Overvoltages, John Wiley & Sons, 1989, pp. 265-283.
- Ken Kundert, “Power Supply Noise Reduction”, The Designer’s Guide (www.designers-guide.com), 2004.
- Larry D. Smith, “Decoupling Capacitor Calculations for CMOS Circuits”, Electrical Performance of Electrical Packages Conference, Monterey CA, November 1994, Pages 101–105.

附录 E 参考书目

- Ronald B. Standler, Protection of Electronic Circuits from Overvoltages, John Wiley & Sons, 1989.
- Clayton Paul, Introduction to Electromagnetic Compatibility, Wiley & Sons, 1992.
- Bernard Keiser, Principles of Electromagnetic Compatibility, Artech House, 1987.
- T.C. Lun, “Designing for Board Level Electromagnetic Compatibility”, Freescale 应用笔记 AN2321, www.freescale.com.

如何联系我们:

主页:
www.freescale.com

网站技术支持:
<http://www.freescale.com/support>

美国 / 欧洲或未列出的地方:
Freescale Semiconductor, Inc.
Technical Information Center, EL516
2100 East Elliot Road
Tempe, Arizona 85284
1-800-521-6274 or +1-480-768-2130
www.freescale.com/support

欧洲、中东和非洲:
Freescale Halbleiter Deutschland GmbH
Technical Information Center
Schatzbogen 7
81829 Muenchen, Germany
+44 1296 380 456 (English)
+46 8 52200080 (English)
+49 89 92103 559 (German)
+33 1 69 35 48 48 (French)
www.freescale.com/support

日本:
Freescale Semiconductor Japan Ltd.
Headquarters
ARCO Tower 15F
1-8-1, Shimo-Meguro, Meguro-ku,
Tokyo 153-0064
Japan
0120 191014 or +81 3 5437 9125
support.japan@freescale.com

亚太地区:
飞思卡尔半导体 (中国) 有限公司
北京市朝阳区建国路乙 118 号京汇大厦 23 层
邮编: 100022
+86 10 5879 8000
support.asia@freescale.com

仅提供印刷品请求:
Freescale Semiconductor Literature Distribution Center
P.O. Box 5405
Denver, Colorado 80217
1-800-441-2447 or +1-303-675-2140
Fax: +1-303-675-2150
LDCForFreescaleSemiconductor@hibbertgroup.com

Information in this document is provided solely to enable system and software implementers to use Freescale Semiconductor products. There are no express or implied copyright licenses granted hereunder to design or fabricate any integrated circuits or integrated circuits based on the information in this document.

Freescale Semiconductor reserves the right to make changes without further notice to any products herein. Freescale Semiconductor makes no warranty, representation or guarantee regarding the suitability of its products for any particular purpose, nor does Freescale Semiconductor assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation consequential or incidental damages. "Typical" parameters that may be provided in Freescale Semiconductor data sheets and/or specifications can and do vary in different applications and actual performance may vary over time. All operating parameters, including "Typicals", must be validated for each customer application by customer's technical experts. Freescale Semiconductor does not convey any license under its patent rights nor the rights of others. Freescale Semiconductor products are not designed, intended, or authorized for use as components in systems intended for surgical implant into the body, or other applications intended to support or sustain life, or for any other application in which the failure of the Freescale Semiconductor product could create a situation where personal injury or death may occur. Should Buyer purchase or use Freescale Semiconductor products for any such unintended or unauthorized application, Buyer shall indemnify and hold Freescale Semiconductor and its officers, employees, subsidiaries, affiliates, and distributors harmless against all claims, costs, damages, and expenses, and reasonable attorney fees arising out of, directly or indirectly, any claim of personal injury or death associated with such unintended or unauthorized use, even if such claim alleges that Freescale Semiconductor was negligent regarding the design or manufacture of the part.

RoHS-compliant and/or Pb-free versions of Freescale products have the functionality and electrical characteristics as their non-RoHS-compliant and/or non-Pb-free counterparts. For further information, see <http://www.freescale.com> or contact your Freescale sales representative.

For information on Freescale's Environmental Products program, go to <http://www.freescale.com/epp>.

Freescale™ and the Freescale logo are trademarks of Freescale Semiconductor, Inc. All other product or service names are the property of their respective owners.

© Freescale Semiconductor, Inc. 2008. All rights reserved.